

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Gen SASAKI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: IMAGE PROCESSING APPARATUS AND IMAGE PROCESSING SYSTEM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-094115	March 31, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

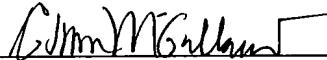
(B) Application Serial No.(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 3月31日
Date of Application:

出願番号 特願2003-094115
Application Number:

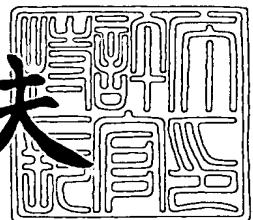
[ST. 10/C] : [JP2003-094115]

出願人 株式会社メガチップス
Applicant(s):

2004年 1月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 P23-0400

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 9/09

【発明者】

【住所又は居所】 大阪市淀川区宮原4丁目1番6号 株式会社メガチップス
ス内

【氏名】 佐々木 元

【特許出願人】

【識別番号】 591128453

【氏名又は名称】 株式会社メガチップス

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006492

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及び画像処理システム並びに撮像装置

【特許請求の範囲】

【請求項 1】 撮像センサから並列に出力された複数の色成分信号を処理する画像処理装置において、

前記複数の色成分信号が入力する入力端子と、

所定のタイミングに従って前記撮像センサにおける欠陥画素に対応する前記複数の色成分信号を補正する複数の欠陥画素補正回路と、

前記複数の色成分信号の入力に合わせて欠陥画素補正を行うための前記所定のタイミングを生成する欠陥画素補正タイミング生成回路と、を備え、

前記複数の欠陥画素補正回路は、同一の前記所定のタイミングで同一の前記欠陥画素に対応する前記複数の色成分信号を並列に補正することを特徴とする画像処理装置。

【請求項 2】 請求項 1 記載の画像処理装置において、前記欠陥画素補正タイミング生成回路は、DMA (ダイレクト・メモリ・アクセス) コントローラによってメモリから転送された欠陥補正データに基づいて前記所定のタイミングを生成する、画像処理装置。

【請求項 3】 輝度信号と色差信号とで構成される YUV 信号と、複数の色成分信号との何れかを処理する画像処理装置において、

前記 YUV 信号と前記複数の色成分信号とが入力する入力端子と、

入力する前記 YUV 信号と前記複数の色成分信号との何れか一方を選択して得た選択信号を出力するセレクタと、

前記選択信号を処理する信号処理部と、を備え、

前記入力端子は前記 YUV 信号と前記色成分信号とで共用されることを特徴とする画像処理装置。

【請求項 4】 請求項 3 記載の画像処理装置において、前記信号処理部は、所定のタイミングに従って前記撮像センサにおける欠陥画素に対応する複数の前記選択信号を補正する複数の欠陥画素補正回路と、

前記選択信号の入力に合わせて欠陥画素補正を行うための前記所定のタイミン

グを生成する欠陥画素補正タイミング生成回路と、を備え、

前記複数の欠陥画素補正回路は、同一の前記所定のタイミングで同一の前記欠陥画素に対応する前記選択信号を並列に補正する、画像処理装置。

【請求項 5】 請求項 3 または請求項 4 記載の画像処理装置において、

入力信号を用いて不足の信号を補間して前記セレクタに出力するオーバーサンプリング回路と、

前記 YUV 信号を複数の成分信号に分離する分離回路と、をさらに備え、

前記 YUV 信号は輝度信号とサブサンプリングされた色差信号とで構成されており、前記オーバーサンプリング回路は、前記分離回路から出力された前記サブサンプリングされた色差信号を用いて不足の色差信号を補間する、画像処理装置。

【請求項 6】 請求項 5 記載の画像処理装置において、前記 YUV 信号をそのままバスに出力する出力制御回路を備える、画像処理装置。

【請求項 7】 撮像センサから出力された多重化信号を処理する画像処理装置であって、

前記多重化信号が入力される入力端子と、

入力した前記多重化信号をサンプリングするサンプリング回路と、を備えており、

前記多重化信号は、 N_1 ビット幅 (N_1 は正整数) の色成分信号を複数の N_2 ビット幅 (N_2 は正整数； N_1 は N_2 の 2 倍) のデータ信号に分解し時分割で多重化することで構成され、

前記サンプリング回路は、前記 N_2 ビット幅のデータ信号を結合して前記 N_1 ビット幅の色成分信号へ変換する機能を有する、ことを特徴とする画像処理装置。

【請求項 8】 撮像センサから出力された多重化信号を処理する画像処理装置であって、

前記多重化信号が入力される入力端子と、

入力した前記多重化信号をサンプリングするサンプリング回路と、を備えており、

前記多重化信号は、 N_1 ビット幅 (N_1 は正整数) の色成分信号を複数の N_2 ビ

ット幅（ N_2 は正整数； N_1 は N_2 の3倍）のデータ信号に分解し時分割で多重化することで構成され、

前記サンプリング回路は、前記 N_2 ビット幅のデータ信号を結合して前記 N_1 ビット幅の色成分信号へ変換する機能を有する、ことを特徴とする画像処理装置。

【請求項 9】 撮像センサから出力された多重化信号を処理する画像処理装置であって、

前記多重化信号が入力される入力端子と、

入力した前記多重化信号をサンプリングするサンプリング回路と、を備えており、

前記多重化信号は、 N_1 ビット幅（ N_1 は正整数）の色成分信号を複数の N_2 ビット幅（ N_2 は正整数； N_1 は N_2 の4倍）のデータ信号に分解し時分割で多重化することで構成され、

前記サンプリング回路は、前記 N_2 ビット幅のデータ信号を結合して前記 N_1 ビット幅の色成分信号へ変換する機能を有する、ことを特徴とする画像処理装置。

【請求項 10】 複数の色成分信号を時分割で多重化することで構成される N_1 ビット幅（ N_1 は正整数）の多重化信号を処理する画像処理装置であって、

前記多重化信号が入力される入力端子と、

入力した前記多重化信号から前記複数の色成分信号をサンプリングし N_2 ビット幅（ N_2 は N_1 の倍数）の信号として並列に出力するサンプリング回路と、

前記サンプリング回路から並列に出力された前記複数の色成分信号を処理する信号処理部と、を備え、

前記サンプリング回路は、前記 N_2 ビット幅の信号の出力と同期するクロック信号の N_2/N_1 倍の周波数を持つクロック信号を用いて前記複数の色成分信号をサンプリングする、ことを特徴とする画像処理装置。

【請求項 11】 請求項 10 記載の画像処理装置において、前記サンプリング回路は、前記 N_2 ビット幅の信号の出力と同期するクロック信号の4倍（ N_2 は N_1 の4倍）の周波数を持つクロック信号を用いて前記複数の色成分信号をサンプリングする、画像処理装置。

【請求項 12】 請求項 10 記載の画像処理装置において、前記サンプリ

グ回路は、前記N₂ビット幅の信号の出力と同期するクロック信号の3倍（N₂はN₁の3倍）の周波数を持つクロック信号を用いて前記複数の色成分信号をサンプリングする、画像処理装置。

【請求項13】 画像信号を処理する画像処理システムであって、撮像センサの複数の受光部から並列に読み出された複数の画像信号を並列に処理する信号処理部と、

前記信号処理部で処理された複数の画像信号をそれぞれバスに出力する複数の出力制御回路と、

前記バスに出力された前記複数の画像信号を転送するデータ転送制御部と、を備えることを特徴とする画像処理システム。

【請求項14】 請求項13記載の画像処理システムにおいて、前記データ転送制御部はDMA（ダイレクト・メモリ・アクセス）コントローラを備える、画像処理システム。

【請求項15】 請求項13または請求項14記載の画像処理システムにおいて、前記撮像センサは、互いに逆方向に読み出された2つの画像信号を出力する機能を有しており、

前記複数の出力制御回路は、前記信号処理部で並列に処理された2つの画像信号をそれぞれ前記バスに出力し、

前記データ転送制御部は、前記2つの画像信号のうち一方の転送先アドレスを、前記2つの画像信号のうち他方の転送先アドレスに対して逆方向にインクリメントする機能を有する、画像処理システム。

【請求項16】 請求項13～請求項15の何れか1項に記載の画像処理システムにおいて、前記信号処理部は、撮像センサから並列に入力する複数の色成分信号を並列に処理する機能をも有する、画像処理システム。

【請求項17】 請求項1～請求項12の何れか1項に記載の画像処理装置を備えた撮像装置。

【請求項18】 請求項13～請求項16の何れか1項に記載の画像処理システムを備えた撮像装置。

【発明の詳細な説明】

【0001】**【発明の属する技術分野】**

本発明は、CCDやCMOSなどの固体撮像素子から出力された画像信号を処理する装置及びシステムに関する。

【0002】**【従来の技術】**

一般にデジタルカメラは、CCDやCMOSなどの固体撮像素子（以下、単に「撮像素子」と呼ぶ。）を搭載している。R（赤色）、G（緑色）、B（青色）の各色毎に撮像素子を搭載したデジタルカメラ（以下、「3板式デジタルカメラ」と呼ぶ。）の他に、单板の撮像素子を搭載したデジタルカメラ（以下、「单板式デジタルカメラ」と呼ぶ。）も広く普及している。单板式デジタルカメラの場合、撮像素子の受光部上には、公知のベイヤー配列などに従って各画素毎にR、GまたはBの色フィルタが形成されている。この撮像素子で撮像した画像信号に対しては、各画素がR、G、Bの複数色の成分を持つように画素補間処理を施されるが、この画素補間処理によって解像度の低下や偽色の発生などの問題が起きることが知られている。

【0003】

一方、3板式デジタルカメラの場合、3枚の撮像素子からパラレルに出力される画像信号を処理する必要があることから、画像処理の回路構成が複雑化し、製造コストが高くなり易かった。なお、3板式デジタルカメラの画像処理に関する情報は、例えば下記特許文献1に記載されている。

【0004】

ところで、近年、各画素にR、G、Bの3層の受光部を備えた”foveon社 x3センサー”などの单板完全フルカラー撮像素子が普及してきている。この撮像素子では、入射光は、R、G、Bの各層の受光部で検出されるため、单板の撮像素子からR、G、Bの3色の成分信号が並列に出力され、また画素補間処理が不要であるため偽色の発生や解像度の低下などが起こり難いという利点がある。この種の撮像素子に関する情報は、例えば下記非特許文献1に示すURLから得ることが可能である。

【0005】**【特許文献1】**

特開平10-308901号公報（図1，図2）

【非特許文献1】

インターネット<URL: http://www.foveon.com/X3_better.html>

【0006】**【発明が解決しようとする課題】**

上記単板完全フルカラー撮像素子の普及に伴い、この単板完全フルカラー撮像素子を搭載したデジタルカメラに対応するとともに、従来の単板式デジタルカメラにも対応し得る低コストで低消費電力且つ小回路規模の画像処理チップが求められている。

【0007】

以上の状況に鑑みて本発明の目的は、（1）撮像センサから並列に出力される複数の色成分信号を並列に処理し得る低コスト、低消費電力及び小回路規模の画像処理装置及び画像処理システム並びにこれらを搭載した撮像装置を提供することと、（2）複数の種類の撮像素子に対応し得る画像処理装置及びこれを搭載した撮像装置を提供することにある。

【0008】**【課題を解決するための手段】**

上記目的を達成するため、第1の発明は、撮像センサから並列に出力された複数の色成分信号を処理する画像処理装置において、前記複数の色成分信号が入力する入力端子と、所定のタイミングに従って前記撮像センサにおける欠陥画素に対応する前記複数の色成分信号を補正する複数の欠陥画素補正回路と、前記複数の色成分信号の入力に合わせて欠陥画素補正を行うための前記所定のタイミングを生成する欠陥画素補正タイミング生成回路と、を備え、前記複数の欠陥画素補正回路は、同一の前記所定のタイミングで同一の前記欠陥画素に対応する前記複数の色成分信号を並列に補正することを特徴としている。

【0009】

第2の発明では、第1の発明の画像処理装置において、前記欠陥画素補正タイ

ミング生成回路は、DMA（ダイレクト・メモリ・アクセス）コントローラによってメモリから転送された欠陥補正データに基づいて前記所定のタイミングを生成する。

【0010】

第3の発明は、輝度信号と色差信号とで構成されるYUV信号と、複数の色成分信号との何れかを処理する画像処理装置において、前記YUV信号と前記複数の色成分信号とが入力する入力端子と、入力する前記YUV信号と前記複数の色成分信号との何れか一方を選択して得た選択信号を出力するセレクタと、前記選択信号を処理する信号処理部と、を備え、前記入力端子は前記YUV信号と前記色成分信号とで共用されることを特徴としている。

【0011】

第4の発明では、第3の発明の画像処理装置において、前記信号処理部は、所定のタイミングに従って前記撮像センサにおける欠陥画素に対応する複数の前記選択信号を補正する複数の欠陥画素補正回路と、前記選択信号の入力に合わせて欠陥画素補正を行うための前記所定のタイミングを生成する欠陥画素補正タイミング生成回路と、を備え、前記複数の欠陥画素補正回路は、同一の前記所定のタイミングで同一の前記欠陥画素に対応する前記選択信号を並列に補正する。

【0012】

第5の発明は、第3または第4の発明の画像処理装置において、入力信号を用いて不足の信号を補間して前記セレクタに出力するオーバーサンプリング回路と、前記YUV信号を複数の成分信号に分離する分離回路と、をさらに備え、前記YUV信号は輝度信号とサブサンプリングされた色差信号とで構成されており、前記オーバーサンプリング回路は、前記分離回路から出力された前記サブサンプリングされた色差信号を用いて不足の色差信号を補間する。

【0013】

第6の発明は、第5の発明の画像処理装置において、前記YUV信号をそのままバスに出力する出力制御回路を備える。

【0014】

第7の発明は、撮像センサから出力された多重化信号を処理する画像処理装置

であって、前記多重化信号が入力される入力端子と、入力した前記多重化信号をサンプリングするサンプリング回路と、を備えており、前記多重化信号は、 N_1 ビット幅 (N_1 は正整数) の色成分信号を複数の N_2 ビット幅 (N_2 は正整数； N_1 は N_2 の2倍) のデータ信号に分解し時分割で多重化することで構成され、前記サンプリング回路は、前記 N_2 ビット幅のデータ信号を結合して前記 N_1 ビット幅の色成分信号へ変換する機能を有することを特徴としている。

【0015】

第8の発明は、撮像センサから出力された多重化信号を処理する画像処理装置であって、前記多重化信号が入力される入力端子と、入力した前記多重化信号をサンプリングするサンプリング回路と、を備えており、前記多重化信号は、 N_1 ビット幅 (N_1 は正整数) の色成分信号を複数の N_2 ビット幅 (N_2 は正整数； N_1 は N_2 の3倍) のデータ信号に分解し時分割で多重化することで構成され、前記サンプリング回路は、前記 N_2 ビット幅のデータ信号を結合して前記 N_1 ビット幅の色成分信号へ変換する機能を有することを特徴としている。

【0016】

第9の発明は、撮像センサから出力された多重化信号を処理する画像処理装置であって、前記多重化信号が入力される入力端子と、入力した前記多重化信号をサンプリングするサンプリング回路と、を備えており、前記多重化信号は、 N_1 ビット幅 (N_1 は正整数) の色成分信号を複数の N_2 ビット幅 (N_2 は正整数； N_1 は N_2 の4倍) のデータ信号に分解し時分割で多重化することで構成され、前記サンプリング回路は、前記 N_2 ビット幅のデータ信号を結合して前記 N_1 ビット幅の色成分信号へ変換する機能を有することを特徴としている。

【0017】

第10の発明は、複数の色成分信号を時分割で多重化することで構成される N_1 ビット幅 (N_1 は正整数) の多重化信号を処理する画像処理装置であって、前記多重化信号が入力される入力端子と、入力した前記多重化信号から前記複数の色成分信号をサンプリングし N_2 ビット幅 (N_2 は N_1 の倍数) の信号として並列に出力するサンプリング回路と、前記サンプリング回路から並列に出力された前記複数の色成分信号を処理する信号処理部と、を備え、前記サンプリング回路は、

前記 N_2 ビット幅の信号の出力と同期するクロック信号の N_2/N_1 倍の周波数を持つクロック信号を用いて前記複数の色成分信号をサンプリングすることを特徴としている。

【0018】

第11の発明では、第10の発明の画像処理装置において、前記サンプリング回路は、前記 N_2 ビット幅の信号の出力と同期するクロック信号の4倍（ N_2 は N_1 の4倍）の周波数を持つクロック信号を用いて前記複数の色成分信号をサンプリングする。

【0019】

第12の発明では、第10の発明の画像処理装置において、前記サンプリング回路は、前記 N_2 ビット幅の信号の出力と同期するクロック信号の3倍（ N_2 は N_1 の3倍）の周波数を持つクロック信号を用いて前記複数の色成分信号をサンプリングする。

【0020】

第13の発明は、画像信号を処理する画像処理システムであって、撮像センサの複数の受光部から並列に読み出された複数の画像信号を並列に処理する信号処理部と、前記信号処理部で処理された複数の画像信号をそれぞれバスに出力する複数の出力制御回路と、前記バスに出力された前記複数の画像信号を転送するデータ転送制御部と、を備えることを特徴としている。

【0021】

第14の発明では、第13の発明の画像処理システムにおいて、前記データ転送制御部はDMA（ダイレクト・メモリ・アクセス）コントローラを備える。

【0022】

第15の発明では、第13または第14の発明の画像処理システムにおいて、前記撮像センサは、互いに逆方向に読み出された2つの画像信号を出力する機能を有しており、前記複数の出力制御回路は、前記信号処理部で並列に処理された2つの画像信号をそれぞれ前記バスに出力し、前記データ転送制御部は、前記2つの画像信号のうち一方の転送先アドレスを、前記2つの画像信号のうち他方の転送先アドレスに対して逆方向にインクリメントする機能を有する。

【0023】

第16の発明では、第13～第15の発明の何れかの画像処理システムにおいて、前記信号処理部は、撮像センサから並列に入力する複数の色成分信号を並列に処理する機能をも有する。

【0024】

そして第17の発明は、第1～第12の発明の何れかの画像処理装置を備えた撮像装置であり、第18の発明は、第13～第16の発明の何れかの画像処理システムを備えた撮像装置である。

【0025】**【発明の実施の形態】**

以下、本発明の種々の実施形態について説明する。

【0026】**<撮像装置1の構成>**

図1は、本発明の実施形態に係る撮像装置（デジタルカメラ）1の構成を概略的に示すブロック図である。この撮像装置1は、光学機構10、撮像センサ11、SPU12、RP13、CPU（中央演算装置）14、主メモリ18、ROM19、DMAコントローラ（DMAC）17、バス16及びシステムクロック生成部15を備えて構成されている。バス16は、アドレスバスやデータバス、DMA転送用バスなどで構成されており、バス16を介したモジュール12, 13, 14, 17, 18, 19間の信号転送は、CPU14或いはDMAC17の制御によって実行される。なお、この明細書では「データ転送制御部」は、CPU14とDMAC17との一方または双方を含む。またシステムクロック生成部15は、クロック信号SCK0～SCK2を生成し、SPU12、RP13及びDMAC17に供給している。

【0027】

また、この撮像装置1は、図示しないが、撮像した画像を表示する表示装置、メモリカードなどの周辺装置に対応した各種インターフェース回路、圧縮符号化回路、入力ボタンやダイアルなどの入力装置、フラッシュ光を発する閃光装置などを搭載している。

【0028】

光学機構10は、レンズ群やプリズム、AF（オート・フォーカス；自動合焦）機能や絞り調節機能などを有しており、被写体からの入射光ILはこの光学機構10を透過し、撮像センサ11で結像させられる。撮像センサ11に入射した光は、図示しない光学LPF（光学ローパスフィルタ）を通過した後に、CCDやCMOSなどの撮像素子で受光される。また撮像センサ11では、前記光学LPFを通過した光がアナログ画像信号に光電変換され、次いで、CDS処理（Correlated Double Sampling processing；相関二重サンプリング処理）、AGC処理（Automatic Gain Control processing；自動利得制御処理）及びA/D変換処理をこの順で施された後に、SPU12へ出力される。

【0029】

SPU（Signal Processing Unit；シグナル・プロセッシング・ユニット）12は、撮像センサ11から入力したデジタル画像信号に欠陥画素補正などの処理を施した後に、バス16或いはRPU（Real-time Processing Unit；リアルタイム・プロセッシング・ユニット）13に出力する。RPU13は、SPU12から入力する画像信号に対して、シェーディング補正処理、画素補間処理、ガンマ補正処理、色空間変換処理、輪郭強調処理及び解像度変換処理などの種々のデジタル画像処理をリアルタイムに実行する機能を有している。SPU12やRPU13がバス16に出力した画像データは、CPU14またはDMAC17の制御によって主メモリ18に転送し格納することができる。またCPU14は、ROM19からプログラムをロードして実行することにより、主メモリ18から読出した画像データに様々なソフトウェア処理を施すことができる。

【0030】

またDMAC17は、複数個のDMAチャンネルCH0～CHn（nは1以上の整数）とバスコントローラBCとを備えている。DMAC17の制御部（図示せず）は、他のモジュールからDMA転送の要求を受けると、搭載する複数のDMAチャンネルCH0～CHnの中から、当該DMA転送に割り当てるDMAチャンネルCHk（kは0～nの何れか）を選択するとともに、バスコントローラBCにバス獲得要求を発する。バスコントローラBCがそのバス獲得要求に成功

した場合、バスコントローラB Cは、割り当てられたDMAチャンネルC H kを用いてモジュール間のデータ転送を実行する。DMA転送の終了後、バスコントローラB Cは、使用していたバスを開放する。また複数のDMA転送を実行する場合、複数のDMAチャンネルが割り当てられ、複数のDMA転送が時分割で実行されることになる。

【0031】

以上の構成を有する撮像装置1の各部の構成を以下に説明する。

【0032】

<第1の実施形態>

図2及び図3は、本発明の第1の実施形態に係るS P U（画像処理装置）12の回路構成を概略的に示す図である。なお、図2及び図3に示す回路は、一点鎖線Mを介して連続的に接続する。このS P U 1 2は、入力端子P 1～P 7から入力した原色R G Bの色成分信号、或いは16ビットのYUV信号、或いはRAWデータ信号を処理する機能を有する。

【0033】

<原色R G Bの色成分信号の処理>

このS P U 1 2が原色R G Bの色成分信号を処理する場合、撮像センサ11から並列に入力するG信号、R信号及びB信号はそれぞれ、入力端子P 2、P 6及びP 7に入力させられる。入力端子P 2に入力した12ビット幅のG信号CCD D [11:0]は、図2に示す第1位相調整回路(first phase adjustment circuit)21、セレクタ26, 29及び黒レベル補正回路(DLC; dark level compensation circuit)35に順次伝達し、さらに、図3に示すセレクタ43、ホワイトバランス補正回路(WBC; white balance compensation circuit)46及び欠陥画素補正回路49に伝達する。その後、欠陥画素補正回路49から出力されたG信号は、A F評価値算出回路(AFC)53、画素平均回路54、サブサンプリング回路(subsampling circuit)55及びサブサンプリング回路59に供給される。画素平均回路54若しくはサブサンプリング回路55に伝達したG信号は、セレクタ56, 57を介して出力制御回路58からバス16に出力され得る。一方、サブサンプリング回路59に伝達したG信号は、セレクタ62

を介してR P U 1 3 に出力され得る。

【0034】

具体的には、第1位相調整回路21は、クロックS P U 2 C K, S P U C Kを用いて、入力端子P2から伝達したG信号C C D D [11:0]をサンプリングし位相調整した後に、セレクタ26の”0”番目端子に出力する。セレクタ26は、C P U 1 4 から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号を次段のセレクタ29の”0”番目端子へ出力する。いま、セレクタ26は”0”番目端子を選択しており、第1位相調整回路21から入力したG信号を選択しセレクタ29へ出力している。

【0035】

またセレクタ29は、C P U 1 4 から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号（選択信号）S0を出力する。いま、セレクタ29は”0”番目端子を選択しており、前段のセレクタ26から伝達した信号を選択信号S0として出力している。

【0036】

その選択信号S0の上位2ビットがセレクタ32の”0”番目端子に入力し、選択信号S0の下位10ビットが黒レベル補正回路（D L C）35に入力する。セレクタ32は、C P U 1 4 から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した2ビット信号を出力する。セレクタ32が”1”番目端子を選択したとき、ゼロ値（=0x0）の2ビット信号が出力される。セレクタ32が出力した2ビット信号と、前記選択信号S0の下位10ビットとは結合されて黒レベル補正回路35に供給される。このようにセレクタ32を設けた理由は、10ビット出力の撮像センサ11に対応するためである。S P U 1 2が、10ビット信号を出力する撮像センサ11と接続される場合、セレクタ32に”1”番目端子を選択させ、選択信号S0の上位2ビットをマスクする。これによりマスクされた上位2ビットに相当する端子を他の用途に使用することができる。

【0037】

また黒レベル補正回路35は、入力信号の黒レベルが基準レベルに一致するよう当該入力信号の階調を補正する機能を有する。黒レベル補正回路35は、基準レベルの値を保持するレジスタ（図示せず）を備えている。この黒レベル補正回路35から出力された12ビット信号は、図3に示す2ビットシフト演算器（B S）40とセレクタ43の”0”番目端子とに入力する。

【0038】

また2ビットシフト演算器40は、黒レベル補正回路35から伝達した12ビット信号を2ビット左シフトしてセレクタ43の”1”番目端子に出力する機能を有している。S P U 1 2が10ビット出力の撮像センサ11と接続されている場合、黒レベル補正回路35が output した12ビット信号の下位10ビットに画像成分が含まれており、この12ビット信号を2ビット左シフトすることで画像成分は上位10ビットに移動させられる。これは、後段のホワイトバランス補正に対処するためである。セレクタ43は、C P U 1 4から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号を出力する。

【0039】

またホワイトバランス補正回路（W B C ; white balance compensation circuit）46は、前段のセレクタ43から伝達した入力信号の色調を基準値に合わせて補正し、欠陥画素補正回路49に出力する。このホワイトバランス補正回路46は前記基準値を格納するレジスタ（図示せず）を備える。

【0040】

また欠陥画素補正回路49は、タイミング生成回路（T G ; Timing generator）52から供給された制御信号T Sのタイミングで、撮像センサ11における欠陥画素に対応する入力信号を補正して出力する。入力信号が欠陥画素に対応するとき、例えば、当該欠陥画素に近い正常な画素に対応する信号を平均化して補正信号を生成し、入力信号をその補正信号に置き換えるといった処理が実行される。

【0041】

また欠陥画素の位置は、撮像センサ11の検査段階で予め検出されており、その欠陥画素の位置情報を含む欠陥補正データDCDがROM19（図1）に記録されている。この欠陥補正データDCDは、DMAC17により、欠陥画素補正回路49へのG信号の入力に合わせて画素単位でROM19からSPU12へ転送され、入力制御回路63で受信される。ROM19から直接DMA転送するかわりに、いったんRAM18に欠陥補正データDCDをコピーした後にDMA転送してもよい。入力制御回路63は、受信した欠陥補正データDCDをFIFO回路63aにバッファリングさせた後、タイミング生成回路52へ供給する。そしてタイミング生成回路52は、欠陥補正データDCDに基づいて制御信号TSを生成し、前記欠陥画素補正回路49と後述する他の欠陥画素補正回路50, 51とに供給する。よって、3つの欠陥画素補正回路49, 50, 51が同一のタイミングで同一画素に対応する信号を補正することとなる。なお、ここでは、欠陥補正データDCDをROMやRAMなどのメモリに格納し、これらメモリからDMA転送するようにしたが、欠陥補正データDCDは、たとえば、タイミング生成回路52内のレジスタに格納するような形態でもよい。また、CPUの処理能力に余裕があれば、ROM等のメモリに格納されている欠陥補正データをDMA転送ではなく、CPUにより転送する形態でもよい。つまり、欠陥補正データDCDの格納場所や転送方法は特に限定されるものではない。

【0042】

欠陥画素補正回路49から出力されたG信号は、AF評価値算出回路（AFC）53、画素平均回路54及びサブサンプリング回路55, 59に供給される。AF評価値算出回路（AFC）53は、欠陥画素補正回路49から出力されたG信号を用いて、オートフォーカス制御用の評価データ信号EVを算出する。また画素平均回路54は、数十画素の入力信号を平均化することでホワイトバランス調整用或いは自動露出調整用の評価データ信号を生成し、セレクタ56の”1”番目端子に出力する。またサブサンプリング回路55は、入力信号をサブサンプリングすることで入力信号の解像度を低下させ、その処理結果である信号をセレクタ56の”0”番目端子に出力する。サブサンプリング回路59も、前記サブサンプリング回路55と同様の処理を実行し、その処理結果である信号をセレクタ6

2の”0”番目端子に出力する。なお、これらサブサンプリング回路55, 59は、入力信号をサブサンプリングせずにそのまま出力することも可能である。

【0043】

セレクタ56は、CPU14から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号を後段のセレクタ57の”0”番目端子へ出力する。またこのセレクタ57の他方”1”番目端子には、後述する分離回路20から伝達した信号が入力しており、セレクタ57は、CPU14から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号を出力制御回路58に出力することができる。そして出力制御回路58は、入力信号をFIFO回路58aにバッファリングした後、DMA転送させるべくバス16に出力する。

【0044】

一方、入力端子P6に入力した12ビット幅のR信号TCCHR[11:0]は、図2に示す第2位相調整回路(2nd phase adjustment circuit)22、セレクタ27, 30及び黒レベル補正回路36に伝達した後、さらに、図3に示すセレクタ44、ホワイトバランス補正回路47、欠陥画素補正回路50及びサブサンプリング回路60に伝達し、その後、RP13に出力される。

【0045】

具体的には、第2位相調整回路22は、クロックSPU2CK, SPUCKを用いて、入力端子P6から伝達したR信号TCCHR[11:0]をサンプリングし位相調整した後に、セレクタ27の”0”番目端子に出力する。セレクタ27は、CPU14から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号を次段のセレクタ30の”0”番目端子へ出力する。いま、セレクタ27は”0”番目端子を選択しており、第2位相調整回路22から入力したR信号を選択しセレクタ30へ出力している。

【0046】

またセレクタ30は、CPU14から与えられた選択制御信号（図示せず）の

値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号（選択信号）S1を出力する。いま、セレクタ30は”0”番目端子を選択しており、前段のセレクタ27から伝達した信号を選択信号S1として出力している。

【0047】

またその選択信号S1の上位2ビットがセレクタ33の”0”番目端子に入力し、選択信号S1の下位10ビットが黒レベル補正回路（DLC）36に入力する。セレクタ33は、CPU14から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した2ビット信号を出力する。セレクタ33が”1”番目端子を選択したとき、ゼロ値（=0x0）の2ビット信号が出力される。またセレクタ33が出力した2ビット信号と、前記選択信号S1の下位10ビットとは結合されて黒レベル補正回路36に供給される。

【0048】

また黒レベル補正回路36は、内蔵レジスタ（図示せず）に保持する基準レベルを用いて、入力信号の黒レベルが基準レベルに一致するように当該入力信号の階調を補正し、その結果得た信号を後段（図3）の2ビットシフト演算器（BS）41とセレクタ44の”0”番目端子とに出力する。2ビットシフト演算器41は、黒レベル補正回路36から伝達した12ビット信号を2ビット左シフトしてセレクタ44の”1”番目端子に出力する。このセレクタ44は、CPU14から供給された選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号をホワイトバランス補正回路47へ出力する。そしてホワイトバランス補正回路47は、内蔵レジスタ（図示せず）に保持した基準値を用いて、前段のセレクタ44から伝達した入力信号の色調をその基準値に合わせて補正し、欠陥画素補正回路50に出力する。

【0049】

欠陥画素補正回路50は、タイミング生成回路52から供給された制御信号TSのタイミングで欠陥画素に対応する入力信号を補正する。この欠陥画素補正回路50の出力信号は、サブサンプリング回路60でサブサンプリングされた後、

RPU13に供給される。なお、サブサンプリング回路60は、入力信号をサブサンプリングせずにそのままRPU13へ出力することも可能である。

【0050】

また前記サブサンプリング回路60の出力信号は、セレクタ62の”1”番目端子にも入力している。セレクタ62は、CPU14から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号をRPU13へ出力する。このためセレクタ62によって、”0”番目端子に入力するG信号と、”1”番目端子に入力するR信号との何れか一方を選択してRPU13に供給することができる。いま、セレクタ62は、G信号を選択してRPU13に供給している。

【0051】

他方、入力端子P7に入力した12ビット幅のB信号TCCHB[11:0]は、図2に示す第3位相調整回路(3rd phase adjustment circuit)23、セレクタ28、31及び黒レベル補正回路37に伝達した後、さらに、図3に示すセレクタ45、ホワイトバランス補正回路48、欠陥画素補正回路51及びサブサンプリング回路61に伝達し、その後、RPU13に出力される。

【0052】

具体的には、第3位相調整回路23は、クロックSPU2CK、SPUCKを用いて、入力端子P7から伝達したB信号TCCHB[11:0]をサンプリングし位相調整した後に、セレクタ28の”0”番目端子に出力する。セレクタ28は、CPU14から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号を次段のセレクタ31の”0”番目端子へ出力する。いま、セレクタ31は”0”番目端子を選択しており、第3位相調整回路23から入力したB信号を選択しセレクタ31へ出力している。

【0053】

またセレクタ31は、CPU14から与えられた選択制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号（選択信号）S2を出力する。いま、セレクタ31は”0”番目端

子を選択しており、前段のセレクタ28から伝達した信号を選択信号S2として出力している。

【0054】

またその選択信号S2の上位2ビットがセレクタ34の”0”番目端子に入力し、選択信号S2の下位10ビットが黒レベル補正回路(DLC)37に入力する。セレクタ34は、CPU14から与えられた選択制御信号(図示せず)の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した2ビット信号を出力する。セレクタ34が”1”番目端子を選択したとき、ゼロ値($=0x0$)の2ビット信号が出力される。またセレクタ34が選択した2ビット信号と、前記選択信号S2の下位10ビットとは結合されて黒レベル補正回路37に供給される。

【0055】

また黒レベル補正回路37は、内蔵レジスタ(図示せず)に保持する基準レベルを用いて、入力信号の黒レベルが基準レベルに一致するように当該入力信号の階調を補正し、その結果得た信号を後段(図3)の2ビットシフト演算器(BS)42とセレクタ45の”0”番目端子とに出力する。2ビットシフト演算器42は、黒レベル補正回路37から伝達した12ビット信号を2ビット左シフトしてセレクタ45の”1”番目端子に出力する。このセレクタ45は、CPU14から供給された選択制御信号(図示せず)の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した信号をホワイトバランス補正回路48へ出力する。そしてホワイトバランス補正回路48は、内蔵レジスタ(図示せず)に保持した基準値を用いて、前段のセレクタ45から伝達した入力信号の色調をその基準値に合わせて補正し、欠陥画素補正回路51に出力する。

【0056】

欠陥画素補正回路51は、タイミング生成回路52から供給された制御信号TSのタイミングで欠陥画素に対応する入力信号を補正する。この欠陥画素補正回路51の出力信号は、サブサンプリング回路61でサブサンプリングされた後、RP13に供給される。なお、サブサンプリング回路61は、入力信号をサブサンプリングせずにそのままRP13へ出力することも可能である。

【0057】

<YUV422信号の処理>

次に、第1の実施形態に係るS P U 1 2（図2及び図3）が16ビットのYUV信号を処理する場合について以下に説明する。この16ビットのYUV信号は、Y信号（輝度信号）、U信号（色差信号）及びV信号（色差信号）のサンプリング比が4：2：2となるように生成されたYUV422信号であって、8ビットのY信号と、8ビットのUV信号（U信号とV信号とを時分割で多重化した信号）とで構成される。ここでUV信号は8ビットのU信号と8ビットのV信号とをサブサンプリングして多重化したものである。

【0058】

16ビットのYUV信号の上位4ビット信号YUVI [15:12]は入力端子P1に入力させられ、その下位12ビット信号CCDD [11:0]は入力端子P2に入力させられる。これら信号YUVI [15:12], CCDD [11:0]は結合されて分離回路20に入力する。よって、入力端子P2は、YUV信号と上記原色RGB信号とで共用されるため、YUV信号と原色RGB信号とで独立に入力端子を設ける場合と比べると、入力端子に設ける入力ピンの個数が少なくて済む。

【0059】

また入力端子P1, P2に入力した16ビット幅のYUV422信号は、分離回路20に伝達する。分離回路20は、YUV422信号をサンプリングして8ビットのY信号と8ビットのUV信号とに分離して出力する。Y信号は、ゼロ値 (=0b0000) の上位4ビットを付加され12ビット信号となってセレクタ29の”1”番目端子に伝達し、UV信号はオーバーサンプリング回路25に伝達する。またオーバーサンプリング回路25は、入力するUV信号をオーバーサンプリングし、その結果8ビットのU信号及び8ビットのV信号を出力する。これらU信号及びV信号はそれぞれ、ゼロ値 (=0b0000) の上位4ビットを付加され12ビット信号となってセレクタ30及び31の”1”番目端子に伝達する。

【0060】

セレクタ29, 30, 31はそれぞれ、C P U 1 4から与えられた共通の選択

制御信号（図示せず）の値に応じて”0”番目端子と”1”番目端子との何れか一方を選択し、選択した端子に入力した選択信号S0, S1, S2を出力する。いま、セレクタ29～31は”1”番目端子を選択しており、セレクタ29はY信号を、セレクタ30はU信号を、セレクタ31はV信号をそれぞれ出力する。

【0061】

セレクタ29から出力されたY信号（選択信号S0）は、上記原色RGBの色成分信号の処理と同様に、セレクタ32、黒レベル補正回路35、2ビットシフト演算器40、セレクタ43及び欠陥画素補正回路49で順次処理された後、AFC評価値算出回路（AFC）53、画素平均回路54及びサブサンプリング回路55, 59に出力され処理される。いま、セレクタ62は”0”番目端子を選択しており、サブサンプリング回路59から入力するY信号をRPU13へ出力する。

【0062】

またセレクタ30から出力されたU信号（選択信号S1）も同様に、セレクタ33、黒レベル補正回路36、2ビットシフト演算器41、セレクタ44、ホワイトバランス補正回路47、欠陥画素補正回路50及びサブサンプリング回路60で順次処理された後、RPU13へ出力される。さらにセレクタ31から出力されたV信号（選択信号S2）も同様に、セレクタ34、黒レベル補正回路37、2ビットシフト演算器42、セレクタ45、ホワイトバランス補正回路48、欠陥画素補正回路51及びサブサンプリング回路61で順次処理された後、RPU13へ出力される。

【0063】

一方、分離回路20から出力されたY信号とUV信号とは結合され、16ビットのYUV422信号としてセレクタ57（図3）の”1”番目端子に伝達している。セレクタ57は、前段のセレクタ56から出力された信号と、YUV422信号との何れか一方を出力制御回路58に出力し、出力制御回路58は、DMA転送すべき信号をバス16に出力する。したがって、セレクタ57に”1”番目端子を選択させることで、YUV422信号をそのまま他のモジュールにDMA転送する処理と並行して、上記Y信号、U信号及びV信号（YUV444信号）を

R P U 1 3 に出力することができる。Y U V 4 2 2 信号はオーバーサンプリングされていないため、Y U V 4 4 4 信号を転送する場合と比べるとそのデータ転送量が小さく、バス 1 6 の使用帯域を抑制できるという利点がある。

【0064】

<RAWデータ信号の処理>

なお、上記 S P U 1 2 は、ベイヤー配列の色フィルタアレイを備えた单板の撮像センサ 1 1 の出力信号（RAWデータ信号）を処理することができる。RAWデータ信号は、各画素が単色成分のみを持つ信号である。

【0065】

入力端子 P 2 から入力した 1 2 ビット幅のRAWデータ信号は、第 1 位相調整回路 2 1 でサンプリングされ位相調整された後に、セレクタ 2 6 に出力される。いま、セレクタ 2 6 は”0”番目端子を選択しており、第 1 位相調整回路 2 1 から出力されたRAWデータ信号をセレクタ 2 9 に出力する。いま、セレクタ 2 9 は”0”番目端子を選択しており、前段のセレクタ 2 6 から入力したRAWデータ信号を選択信号 S 0 として出力する。

【0066】

その後、RAWデータ信号の上位 2 ビット信号はセレクタ 3 2 の”0”番目端子に伝達し、その下位 1 0 ビット信号は黒レベル補正回路 3 5 に伝達する。黒レベル補正回路 3 5 には、セレクタ 3 2 から出力された上位 2 ビット信号と、RAWデータの下位 1 0 ビット信号とが結合され、1 2 ビット信号となって入力する。

【0067】

黒レベル補正回路 3 5 は 4 種類の動作モード（T C M O D E）を備えており、各動作モード毎に使用する基準レベルの値が異なる。第 1 の動作モードは、上記原色 R G B の色成分信号の処理と、上記 Y U V 信号の処理とで使用するモードである。また第 2 ～ 第 4 の動作モードは、RAWデータ信号の処理で使用するモードである。RAWデータ信号は、隣接する画素間で信号の色が異なるため、黒レベル補正回路 3 5 は、入力信号の色に合わせて画素毎に動作モードを切り換える。例えば、R 信号、G 信号、R 信号、G 信号、…のように R 信号と G 信号とが交互に入力する場合、R 信号用の動作モードと G 信号用の動作モードとが交互に切り

換えられることになる。

【0068】

また黒レベル補正回路35から出力された信号は、2ビットシフト演算器40及びセレクタ43を伝達した後、ホワイトバランス補正回路46に入力する。このホワイトバランス補正回路46は、上記黒レベル補正回路35と同様に4種類の動作モード（T C M O D E）を備えており、入力信号の色に合わせて画素毎に動作モードを切り換える。

【0069】

また欠陥画素補正回路49からサブサンプリング回路55に伝達した信号は、サブサンプリング回路55、セレクタ56、57を介して出力制御回路58に入力した後、バス16に出力され転送される。一方、サブサンプリング回路59は、上記黒レベル補正回路35と同様に4種類の動作モード（T C M O D E）を備えており、入力信号の色に合わせて画素毎に動作モードを切り換える。欠陥画素補正回路49からサブサンプリング回路59に伝達した信号は、サブサンプリング回路59及びセレクタ62を介してR P U 1 3に出力される。

【0070】

以上に説明した通り、本実施形態に係るS P U 1 2は、複数の種類の画像信号を処理し得るため高い汎用性を有している。

【0071】

また3つの欠陥画素補正回路49、50、51は、タイミング生成回路52から供給された共通の制御信号T Sに基づいて、同一のタイミングで同一の欠陥画素に対応する信号を補正するため、各欠陥画素補正回路毎にタイミングを生成する必要は無い。よって、欠陥補正データD C Dの容量も小さくなるため、データ転送量が少なくて済み、バス16の使用効率を向上させることが可能となる。また、各欠陥画素補正回路毎にタイミング生成回路を設ける必要が無いため、S P U 1 2の回路規模を小さくし消費電力を抑えることが可能である。さらに欠陥補正データD C Dは、D M A C 1 7によってDMA方式で転送されることから、C P U 1 4の処理負荷の軽減によって処理効率が向上するとともに、欠陥補正データD C Dの転送に割り当てるDMAチャンネルは一つで済むため効率の高いデー

タ転送が可能である。

【0072】

<第2の実施形態>

上記第1の実施形態では、3種類の信号を処理するSPU12の構成について説明したが、SPU12は、サンプリング回路24を用いてさらに別の種類の信号を処理することが可能である。第2の実施形態に係るSPU12では、図2に示したサンプリング回路24が図4に示す回路構成を有することが特徴である。

【0073】

本実施形態では、撮像センサ11は、各色12ビットのG信号、R信号及びB信号を生成し、各色成分信号を6ビットづつ直列に変換してSPU12に出力する。言い換えれば、12ビット幅の色成分信号を6ビット幅のデータ信号に分解し、これらデータ信号を時分割で多重化して得た多重化信号CCDD[5:0]，CCDD[11:6]，TCCHR[5:0]が、SPU12に供給される。

【0074】

図5のタイミングチャートに、多重化信号CCDD[5:0]，CCDD[11:6]，TCCHR[5:0]の波形例を示す。多重化信号CCDD[5:0]は、12ビットのG信号G[11:0]を下位6ビットのデータ信号G[5:0]と、上位6ビットのデータ信号G[11:6]とに分解し時分割で多重化することで構成され、多重化信号CCDD[5:0]は、12ビットのR信号R[11:0]を下位6ビットのデータ信号R[5:0]と、上位6ビットのデータ信号R[11:6]とに分解し時分割で多重化することで構成され、多重化信号TCCHR[5:0]は、12ビットのB信号B[11:0]を下位6ビットのデータ信号B[5:0]と、上位6ビットのデータ信号B[11:6]とに分解し時分割で多重化することで構成されている。また多重化された各データ信号は、クロック信号SPU2CKと同期して入力する。

【0075】

図4に示すサンプリング回路24は、クロック信号SPUCKとこのクロック信号SPUCKの2倍の周波数を持つクロック信号SPU2CKとを用いて、6ビット幅の多重化信号をサンプリングし結合して12ビット幅の色成分信号G[

11:0]，R [11:0]，B [11:0]へ変換する機能を有する。以下、図4及び図5を参照しつつサンプリング回路24の構成及び動作を説明する。

【0076】

このサンプリング回路24は、タイミングコントローラ89、ラッチ回路90A～93B、第1セレクタ94～第3セレクタ96及び第1レジスタ97～第3レジスタ99を備えている。タイミングコントローラ89は、クロック信号S P U 2 C Kを2分周してロー・イネーブル信号L E Nを生成し、ラッチ回路90A，91A，92A，93Aのイネーブル端子E Nに供給すると共に、ロー・イネーブル信号L E Nに対して180度位相がずれたハイ・イネーブル信号H E Nを生成し、ラッチ回路90B，91B，92B，93Bのイネーブル端子E Nに供給する。

【0077】

ラッチ回路90A～93Bは、イネーブル端子E Nへの入力信号の高レベル期間においてクロック信号S P U 2 C Kの立下りエッジで、端子Dに入力したデータ信号をラッチしこれを端子Qから出力する。具体的には、ラッチ回路90A，91A，92A，93Aはそれぞれ、ロー・イネーブル信号L E Nの高レベル期間においてクロック信号S P U 2 C Kの立下りエッジで、データ信号G [5:0] (=CCDD [5:0])，R [5:0] (=CCDD [11:6])，B [5:0] (=TCCHR [5:0])，X [5:0] (=TCCHR [11:6])をラッチする。またラッチ回路90B，91B，92B，93Bはそれぞれ、ハイ・イネーブル信号H E Nの高レベル期間においてクロック信号S P U 2 C Kの立下りエッジで、データ信号G [11:6] (=CCDD [5:0])，R [11:6] (=CCDD [11:6])，B [11:6] (=TCCHR [5:0])，X [11:6] (=TCCHR [11:6])をラッチする。なお、本実施形態ではデータ信号X [5:0]，X [11:6]は何れの色成分信号にも割り当てられていない。

【0078】

次にラッチ回路90A，90Bの出力信号は結合して12ビット信号C H O D [11:0]として第1セレクタ94～第3セレクタ96の”0”番目端子に入力

し、ラッチ回路91A, 91Bの出力信号は結合して12ビット信号CH1D [11:0]として第1セレクタ94～第3セレクタ96の”1”番目端子に入力し、ラッチ回路92A, 92Bの出力信号は結合して12ビット信号CH2D [11:0]として第1セレクタ94～第3セレクタ96の”2”番目端子に入力し、そして、ラッチ回路93A, 93Bの出力信号は結合して12ビット信号CH3D [11:0]として第1セレクタ94～第3セレクタ96の”3”番目端子に入力する。

【0079】

第1セレクタ94～第3セレクタ96はそれぞれ、CPU14から与えられた2ビットの選択制御信号TCPHR [1:0], TCPHG [1:0], TCPHB [1:0]の値に応じて”0”番目端子～”4”番目端子の何れかを選択し、選択した端子に入力した信号を出力する。

【0080】

本例では、第1セレクタ94は”1”番目端子を選択してR信号を出力し、第2セレクタ95は”0”番目端子を選択してG信号を出力し、第3セレクタ96は”2”番目端子を選択してB信号を出力している。なお、図5に示すデータXXは、第1セレクタ94～第3セレクタ96で選択されないデータを指している。

【0081】

そして第1レジスタ97～第3レジスタ99はそれぞれ、クロック信号SPU CKの立上りエッジで、第1セレクタ94～第3セレクタ96から入力した信号をラッチし、R信号R [11:0] (=CHR [11:0]), G信号G [11:0] (=CHG [11:0]) 及びB信号B [11:0] (=CHB [11:0])として出力する。

【0082】

このようにSPU12が本実施形態に係るサンプリング回路24を採用した場合、サンプリング回路24は6ビットづつ直列に転送された多重化信号を受信して12ビット幅の色成分信号へ変換するため、色成分信号をそのまま受信する場合と比べると入力端子に備える入力ピンの個数を大幅に減らすことが可能となる。したがって、小回路規模のSPU12を実現できる。

【0083】

なお、本実施形態に係るサンプリング回路24は6ビット幅の多重化信号を12ビット幅の色成分信号に変換したが、本発明ではこれに限らず、 N_2 ビット幅(N_2 は正整数)の多重化信号を N_1 (= $2 \times N_2$)ビット幅の色成分信号に変換する構成に拡張することは当業者にとって容易である。

【0084】

また、本実施形態に係るサンプリング回路24は、多重化信号を3色成分信号G[11:0], R[11:0], B[11:0]に変換する構成を有するが、多重化信号を4色成分信号に変換する構成に拡張することも当業者にとって容易である。具体的には、サンプリング回路24に、第1セレクタ94～第3セレクタ96と同一構成のセレクタと、第1レジスタ97～第3レジスタ99と同一構成のレジスタとを付加すればよい。

【0085】

<第3の実施形態>

次に、本発明の第3の実施形態について説明する。第3の実施形態に係るS P U12では、図2に示したサンプリング回路24が図6に示す回路構成を有することが特徴である。本実施形態では、撮像センサ11は、各色12ビットのG信号、R信号及びB信号を生成し、各色成分信号を4ビットづつ直列に変換してS P U12に出力する。言い換えれば、12ビット幅の色成分信号を4ビット幅のデータ信号に分解し、これらデータ信号を時分割で多重化して得た多重化信号C C D D [3:0], C C D D [7:4], C C D D [11:8]が、S P U12に供給される。

【0086】

図7のタイミングチャートに、多重化信号C C D D [3:0], C C D D [7:4], C C D D [11:8]の波形例を示す。多重化信号C C D D [3:0]は、12ビットのG信号G[11:0]をデータ信号G[3:0], G[7:4], G[11:8]に分解し多重化することで構成され、多重化信号C C D D [7:4]は、12ビットのR信号R[11:0]をデータ信号R[3:0], R[7:4], R[11:8]に分解し多重化することで構成され、多重化信号C

CDD [11:8] は、12ビットのB信号B [11:0] をデータ信号B [3:0], B [7:4], B [11:8] に分解し多重化することで構成されている。また多重化された各データ信号は、クロック信号S P U 3 C Kと同期して入力する。

【0087】

図6に示すサンプリング回路24は、クロック信号S P U C Kとこのクロック信号S P U C Kの3倍の周波数を持つクロック信号S P U 3 C Kとを用いて、4ビット幅の多重化信号をサンプリングし結合することで当該多重化信号を12ビット幅の色成分信号G [11:0], R [11:0], B [11:0] へ変換する機能を有する。以下、図6及び図7を参照しつつサンプリング回路24の構成及び動作を説明する。

【0088】

このサンプリング回路24は、タイミングコントローラ106、ラッチ回路100A～102C及び第1レジスタ103～第3レジスタ105を備えている。タイミングコントローラ106は、クロック信号S P U 3 C Kを分周して第1イネーブル信号L E N、第2イネーブル信号M E N及び第3イネーブル信号H E Nを生成する。第1イネーブル信号L E Nのパルス幅はクロック信号S P U 3 C Kの1周期 (=T) に相当しており、第2イネーブル信号M E Nの位相は、第1イネーブル信号L E Nのそれと比べて1周期 (=T) だけ遅れており、第3イネーブル信号H E Nの位相は、第1イネーブル信号L E Nのそれと比べて2周期 (=2×T) だけ遅れている。第1イネーブル信号L E Nは、ラッチ回路100A, 101A, 102Aのイネーブル端子E Nに入力し、第2イネーブル信号M E Nは、ラッチ回路100B, 101B, 102Bのイネーブル端子E Nに入力し、第3イネーブル信号H E Nは、ラッチ回路100C, 101C, 102Cのイネーブル端子E Nに入力している。

【0089】

これらラッチ回路100A～102Cは何れも、イネーブル端子E Nへの入力信号の高レベル期間においてクロック信号S P U 3 C Kの立下りエッジで、端子Dに入力したデータ信号をラッチしこれを端子Qから出力する。具体的には、ラ

ラッチ回路100A、101A、102Aはそれぞれ、第1イネーブル信号LENの高レベル期間においてクロック信号SPU3CKの立下りエッジで、データ信号G[3:0](=CCDD[3:0])、R[3:0](=CCDD[7:4])、B[3:0](=CCDD[11:8])をラッチする。またラッチ回路100B、101B、102Bはそれぞれ、第2イネーブル信号MENの高レベル期間においてクロック信号SPU3CKの立下りエッジで、データ信号G[7:4](=CCDD[7:4])、R[7:4](=CCDD[7:4])、B[7:4](=CCDD[11:8])をラッチする。そしてラッチ回路100C、101C、102Cはそれぞれ、第3イネーブル信号HENの高レベル期間においてクロック信号SPU3CKの立下りエッジで、データ信号G[11:8](=CCDD[3:0])、R[11:8](=CCDD[7:4])、B[11:8](=CCDD[11:8])をラッチする。

【0090】

次にラッチ回路100A～100Cの出力信号は結合して12ビット信号として第1レジスタ103に入力し、ラッチ回路101A～101Cの出力信号は結合して12ビット信号として第2レジスタ104に入力し、ラッチ回路102A～102Cの出力信号は結合して12ビット信号として第3レジスタ105に入力する。

【0091】

そして第1レジスタ103～第3レジスタ105はそれぞれ、クロック信号SPUCKの立上りエッジで入力信号をラッチし、G信号G[11:0](=CHG[11:0])、R信号R[11:0](=CHR[11:0])及びB信号B[11:0](=CHB[11:0])を出力する。

【0092】

このようにSPU12が本実施形態に係るサンプリング回路24を採用する場合、4ビットづつ直列に転送された多重化信号を受信して12ビット幅の色成分信号へ変換するため、色成分信号をそのまま受信する場合と比べると入力端子に備える入力ピンの個数をさらに大幅に減らすことが可能となる。したがって、小回路規模のSPU12を実現できる。

【0093】

なお、本実施形態に係るサンプリング回路24は4ビット幅の多重化信号を12ビット幅の色成分信号に変換したが、本発明ではこれに限らず、 N_2 ビット幅(N_2 は正整数)の多重化信号を N_1 (= $3 \times N_2$)ビット幅の色成分信号に変換する構成に拡張することは当業者にとって容易である。

【0094】

<第4の実施形態>

次に、本発明の第4の実施形態について説明する。第4の実施形態に係るS P U12では、図2に示したサンプリング回路24が図8に示す回路構成を有することが特徴である。本実施形態では、撮像センサ11は、各色12ビットのG信号、R信号及びB信号を生成し、各色成分信号を3ビットづつ直列に変換してS P U12に出力する。言い換えれば、12ビット幅の色成分信号を3ビット幅のデータ信号に分解し、これらデータ信号を時分割で多重化して得た多重化信号C C D D [2:0]、C C D D [5:3]、C C D D [8:6]が、S P U12に供給される。

【0095】

図9のタイミングチャートに、多重化信号C C D D [2:0]、C C D D [5:3]、C C D D [8:6]の波形例を示す。多重化信号C C D D [2:0]は、12ビットのG信号G [11:0]をデータ信号G [2:0]、G [5:3]、G [8:6]、G [11:9]に分解し多重化することで構成され、多重化信号C C D D [5:3]は、12ビットのR信号R [11:0]をデータ信号R [2:0]、R [5:3]、R [8:6]、R [11:9]に分解し多重化することで構成され、多重化信号C C D D [8:6]は、12ビットのB信号B [11:0]をデータ信号B [2:0]、B [5:3]、B [8:6]、B [11:9]に分解し多重化することで構成されている。また多重化された各データ信号は、クロック信号S P U4 C Kと同期して入力する。

【0096】

図8に示すサンプリング回路24は、クロック信号S P U C Kとのクロック信号S P U C Kの4倍の周波数を持つクロック信号S P U4 C Kとを用いて、3

ビット幅の多重化信号をサンプリングし結合することで当該多重化信号を12ビット幅の色成分信号G [11:0]，R [11:0]，B [11:0]へ変換する機能を有する。以下、図8及び図9を参照しつつサンプリング回路24の構成及び動作を説明する。

【0097】

このサンプリング回路24は、タイミングコントローラ116、ラッチ回路110A～112D及び第1レジスタ113～第3レジスタ115を備えている。タイミングコントローラ116は、クロック信号S P U 4 C Kを分周して第1イネーブル信号E N 1、第2イネーブル信号E N 2、第3イネーブル信号E N 3及び第4イネーブル信号E N 4を生成する。第1イネーブル信号E N 1のパルス幅はクロック信号S P U 4 C Kの1周期 ($= T_K$) に相当しており、第2イネーブル信号E N 2の位相は、第1イネーブル信号E N 1のそれと比べて2周期 ($= 2 \times T_K$) だけ遅れ、第3イネーブル信号E N 3の位相は、第1イネーブル信号E N 1のそれと比べて3周期 ($= 3 \times T_K$) だけ遅れ、第4イネーブル信号E N 4の位相は、第1イネーブル信号E N 1のそれと比べて4周期 ($= 4 \times T_K$) だけ遅れている。また第1イネーブル信号E N 1は、ラッチ回路110A，111A，112Aのイネーブル端子E Nに入力し、第2イネーブル信号E N 2は、ラッチ回路110B，111B，112Bのイネーブル端子E Nに入力し、第3イネーブル信号E N 3は、ラッチ回路110C，111C，112Cのイネーブル端子E Nに入力し、第4イネーブル信号E N 4は、ラッチ回路110D，111D，112Dのイネーブル端子E Nに入力している。

【0098】

これらラッチ回路110A～112Dは何れも、イネーブル端子E Nへの入力信号の高レベル期間においてクロック信号S P U 4 C Kの立下りエッジで、端子Dに入力したデータ信号をラッチしこれを端子Qから出力する。具体的には、ラッチ回路110A，111A，112Aはそれぞれ、第1イネーブル信号E N 1の高レベル期間においてクロック信号S P U 4 C Kの立下りエッジで、データ信号G [2:0] ($= C C D D [2:0]$)，R [2:0] ($= C C D D [5:3]$)，B [2:0] ($= C C D D [8:6]$) をラッチする。またラッチ回路1

10B、111B、112Bはそれぞれ、第2イネーブル信号EN2の高レベル期間においてクロック信号SPU4CKの立下りエッジで、データ信号G [5:3] (=CCDD [2:0]), R [5:3] (=CCDD [5:3]), B [5:3] (=CCDD [8:6])をラッチする。またラッチ回路110C、111C、112Cはそれぞれ、第3イネーブル信号EN3の高レベル期間においてクロック信号SPU4CKの立下りエッジで、データ信号G [8:6] (=CCDD [2:0]), R [8:6] (=CCDD [5:3]), B [8:6] (=CCDD [8:6])をラッチする。そしてラッチ回路110D、111D, 112Dはそれぞれ、第4イネーブル信号EN4の高レベル期間においてクロック信号SPU4CKの立下りエッジで、データ信号G [11:9] (=CCDD [2:0]), R [11:9] (=CCDD [5:3]), B [11:9] (=CCDD [8:6])をラッチする。

【0099】

次にラッチ回路110A～110Dの出力信号は結合して12ビット信号として第1レジスタ113に入力し、ラッチ回路111A～111Dの出力信号は結合して12ビット信号として第2レジスタ114に入力し、ラッチ回路112A～112Dの出力信号は結合して12ビット信号として第3レジスタ115に入力する。

【0100】

そして第1レジスタ113～第3レジスタ115はそれぞれ、クロック信号SPUCKの立上りエッジで入力信号をラッチし、G信号G [11:0] (=CHG [11:0]), R信号R [11:0] (=CHR [11:0])及びB信号B [11:0] (=CHB [11:0])を出力する。

【0101】

このようにSPU12が本実施形態に係るサンプリング回路24を使用する場合、3ビットづつ直列に転送された多重化信号を受信して12ビット幅の色成分信号へ変換するため、色成分信号をそのまま受信する場合と比べると入力端子に備える入力ピンの個数をさらに大幅に減らすことが可能となる。したがって、小回路規模のSPU12を実現できる。



【0102】

なお、本実施形態に係るサンプリング回路24は3ビット幅の多重化信号を12ビット幅の色成分信号に変換したが、本発明ではこれに限らず、 N_2 ビット幅(N_2 は正整数)の多重化信号を N_1 (= $4 \times N_2$)ビット幅の色成分信号に変換する構成に拡張することは当業者にとって容易である。

【0103】

<第5の実施形態>

次に、本発明の第5の実施形態について説明する。第5の実施形態に係るS P U 1 2では、図2に示したサンプリング回路24が図10に示す回路構成を有することが特徴である。本実施形態では、撮像センサ11は、各色12ビットのG信号、R信号及びB信号を生成し、これらの色成分信号を時分割で多重化して得られる多重化信号をS P U 1 2に出力する。図11のタイミングチャートに、多重化信号C C D D [11:0]の波形例を示す。図11中のR、G、BはそれぞれR信号、G信号及びB信号を表し、Xは何れの色成分信号でも無い(以下、X信号と呼ぶ。)。またその多重化信号はクロック信号S P U 4 C Kと同期して入力する。

【0104】

図10に示すサンプリング回路24は、クロック信号S P U C Kとこのクロック信号S P U C Kの4倍の周波数を持つクロック信号S P U 4 C Kとを用いて、多重化信号C C D D [11:0]をサンプリングし並列に出力する機能を有する。以下、図10及び図11を参照しつつサンプリング回路24の構成及び動作を説明する。

【0105】

このサンプリング回路24は、タイミングコントローラ120、ラッチ回路121～124、第1セレクタ126～第3セレクタ128及び第1レジスタ129～第3レジスタ131を備えている。タイミングコントローラ120は、クロック信号S P U 4 C Kを分周して第1イネーブル信号E N 1、第2イネーブル信号E N 2、第3イネーブル信号E N 3及び第4イネーブル信号E N 4を生成する。第1イネーブル信号E N 1のパルス幅はクロック信号S P U 4 C Kの1周期(

$= T_K$) に相当しており、第2イネーブル信号EN2の位相は、第1イネーブル信号EN1のそれと比べて2周期 ($= 2 \times T_K$) だけ遅れ、第3イネーブル信号EN3の位相は、第1イネーブル信号EN1のそれと比べて3周期 ($= 3 \times T_K$) だけ遅れ、第4イネーブル信号EN4の位相は、第1イネーブル信号EN1のそれと比べて4周期 ($= 4 \times T_K$) だけ遅れている。また第1イネーブル信号EN1～第4イネーブル信号EN4はそれぞれ、ラッチ回路121～124のイネーブル端子ENに入力している。

【0106】

ラッチ回路121～124は何れも、イネーブル端子ENへの入力信号の高レベル期間においてクロック信号SPU4CKの立下りエッジで、端子Dに入力した信号をラッチしこれを端子Qから出力する。具体的には、ラッチ回路121は、第1イネーブル信号EN1の高レベル期間にクロック信号SPU4CKの立下りエッジで多重化信号中のR信号CH0D [11:0] をラッチして第1セレクタ126～第3セレクタ128の”0”番目端子に出力し、ラッチ回路122は、第2イネーブル信号EN2の高レベル期間にクロック信号SPU4CKの立下りエッジでG信号CH1D [11:0] をラッチして第1セレクタ126～第3セレクタ128の”1”番目端子に出力し、ラッチ回路123は、第3イネーブル信号EN3の高レベル期間にクロック信号SPU4CKの立下りエッジでB信号CH2D [11:0] をラッチして第1セレクタ126～第3セレクタ128の”2”番目端子に出力し、そして、ラッチ回路124は第4イネーブル信号EN4の高レベル期間にクロック信号SPU4CKの立下りエッジでX信号CH3D [11:0] をラッチして第1セレクタ126～第3セレクタ128の”3”番目端子に出力する。

【0107】

第1セレクタ126～第3セレクタ128はそれぞれ、CPU14から与えられた2ビットの選択制御信号TCPHR [1:0], TCPH哲 [1:0], TCPHB [1:0] の値に応じて”0”番目端子～”3”番目端子の何れかを選択し、選択した端子に入力した信号を出力する。本例では、第1セレクタ126は”0”番目端子を選択し、第2セレクタ127は”1”番目端子を選択し、第3セレ

クタ128は”2”番目端子を選択している。そして第1レジスタ129～第3レジスタ131はそれぞれ、クロック信号S P U C Kの立上りエッジで、第1セレクタ126～第3セレクタ128の出力信号をラッチし、R信号C H R [11:0]、G信号C H G [11:0]及びB信号C H B [11:0]として出力する。

【0108】

このようにS P U 1 2が本実施形態に係るサンプリング回路2 4を採用した場合、サンプリング回路2 4は多重化された複数の色成分信号を分離して並列に出力できるため、S P U 1 2で複数の色成分信号の並列処理を行うことが可能である。また色成分信号をそのまま受信する場合と比べると入力端子に備える入力ピンの個数を大幅に減らすことが可能である。したがって、小回路規模のS P U 1 2を実現できる。

【0109】

なお、本実施形態に係るサンプリング回路2 4は、12ビット幅の多重化信号を36ビット幅の並列信号に変換していたが、本発明ではこれに限らず、一般にN₁ビット幅（N₁は正整数）の多重化信号をN₂ビット幅（N₂はN₁の正整数倍）の並列信号に変換する構成に拡張することは当業者にとって容易である。特に現実的な構成としては、上記実施形態のようにN₂がN₁の4倍の場合であって多重化信号から4つの色成分信号を分離する構成と、N₂がN₁の3倍の場合であつて多重化信号から3つの色成分信号を分離する構成とが挙げられる。

【0110】

<第6の実施形態>

次に、本発明の第6の実施形態について説明する。図12は、第6の実施形態に係る画像処理システムの構成を概略的に示すブロック図である。この画像処理システムは、S P U 1 2、バス16、主メモリ18及びD M A C 1 7で構成される。

【0111】

S P U 1 2は、撮像センサ11から並列に読み出された2本の画像信号を並列に処理する信号処理部12aと、2つの出力制御回路58A、58Bとを備えて

いる。信号処理部12aは、上記第1の実施形態の図2及び図3に示した構成を備え、本実施形態に係るS P U 1 2はさらに、2つの出力制御回路58A, 58Bを備える。一方の出力制御回路58Aとして図3に示した出力制御回路58を採用し、図3に示すサブサンプリング回路60の出力結果を受ける他方の出力制御回路58Bを設けた構成を採用すればよい。

【0112】

本実施形態の撮像センサ11は、C C Dからなる受光回路70、第1アナログ信号処理回路74A及び第2アナログ信号処理回路74Bを備えており、この受光回路70はさらに、垂直転送部710～71n（nは3以上の整数）、第1水平転送部72A、第1アンプ73A、第2水平転送部72B及び第2アンプ73Bを備えている。

【0113】

受光回路70のフォトダイオード（図示せず）は入射光を光電変換することでキャリア・（電荷またはホール）を発生させる。垂直転送部710～71nは、その発生したキャリアの信号を第1水平転送部72A及び第2水平転送部72Bに転送する。その垂直転送部710～71nのうち偶数列の垂直転送部710, 712, …は第1水平転送部72Aに信号を転送し、奇数列の垂直転送部711, 713, …は第2水平転送部72Bに信号を転送する。このように受光回路70は、偶数列の垂直転送部710, 712, …と奇数列の垂直転送部711, 713, …とで分けられる二つの受光部を有しており、二つの受光部で発生したキャリアがそれぞれ、第1水平転送部72Aと第2水平転送部72Bとに転送され、次いで第1アンプ73Aと第2アンプ73Bとに水平方向へ転送される。第1アンプ73Aと第2アンプ73Bとはそれぞれ、転送された信号を増幅して第1アナログ信号処理回路74Aと第2アナログ信号処理回路74Bとに出力する。次に、第1アナログ信号処理回路74Aと第2アナログ信号処理回路74Bはそれぞれ、入力信号にC D S処理、A G C処理及びA／D変換処理を施した後、デジタル画像信号をS P U 1 2に出力する。

【0114】

また信号処理部12aから出力制御回路58Aと出力制御回路58Bとに入力

した画像信号は、DMA C 17の制御によりバス16を介して主メモリ18に転送される。ここで、DMA C 17は、出力制御回路58Aと主メモリ18との間のデータ転送にDMAチャンネルCH0を割り当て、出力制御回路58Bと主メモリ18との間のデータ転送にDMAチャンネルCH1を割り当てる。そして、主メモリ18に転送され格納された画像データTDは読み出され、RPU13に転送され処理される。

【0115】

このようにSPU12は、2本の画像信号を並列に処理し、バス16を介して他のモジュールに並列に転送できるため、効率良く画像処理を行うことができる。仮にSPU12が単一の出力制御回路58Aしか持たない場合、出力制御回路58Aが2本の画像信号のうち一方を転送する間、他方の画像信号をバッファリングするためにラインメモリが必要となるが、本実施形態では2本の画像信号を並列にDMA転送できるためラインメモリを設ける必要が無い。

【0116】

なお、本実施形態では、SPU12は2つの出力制御回路58A、58Bを備えるが、この代わりに、他方の出力制御回路58BとしてRPU13のものを使用してもよい。図3に示すセレクタ62に”1”番目端子を選択させることで、サブサンプリング回路60から出力された信号をRPU13へ転送させ、当該RPU13の出力制御回路を介して主メモリ18に転送させることが可能である。

【0117】

＜第7の実施形態＞

次に、本発明の第7の実施形態について説明する。図13は、第7の実施形態に係る画像処理システムの構成を概略的に示すブロック図である。この画像処理システムは、SPU12及びDMA C 17で構成される。SPU12及びDMA C 17の構成は、図12に示したそれらと同じである。また本実施形態の撮像センサ11は、受光回路80の構成を除けば、図12に示した撮像センサ11の構成と略同じである。

【0118】

本実施形態の受光回路80は、互いに独立構成の第1受光部81及び第2受光

部82を備えており、第1受光部81は、K+1本（Kは正整数）の垂直転送部820～82Kと、L+1本（Lは正整数）の垂直転送部810～81Lとを備える。

【0119】

第1受光部81及び第2受光部82のフォトダイオード（図示せず）はそれぞれ、入射光を光電変換することでキャリアを発生させる。第1受光部81の垂直転送部820～82Kはキャリアの信号を第1水平転送部83Bに転送し、第2受光部82の垂直転送部810～81Lはキャリアの信号を第2水平転送部83Aに転送する。次いで第1水平転送部83Bは転送された信号を第1アンプ84Bに転送し、第1アンプ84Bはその信号を増幅して第1アナログ信号処理回路74Aに出力する。一方、第2水平転送部83Aは転送された信号を第2アンプ84Aに転送し、第2アンプ84Aはその信号を増幅して第2アナログ信号処理回路74Bに出力する。その結果、2本のデジタル画像信号が並列にS P U 1 2の信号処理部12aに供給される。

【0120】

第1水平転送部83B及び第2水平転送部83Aは、図12に示した撮像センサ11の第1水平転送部72A及び第2水平転送部72Bと比べると、信号転送の段数が略半分で済むという利点を持つ。近年、高解像度の撮像素子が提供されているが、水平方向の解像度が高いほどに水平転送部の段数が大きくなり、信号の高速転送が難しくなるという問題がある。本実施形態の受光回路80の構成はこの種の問題を改善するものである。しかしながら、第1受光部81と第2受光部82とで信号の読み出し方向が互いに逆方向になるため、一方の受光部から読み出した信号配列を、他方の受光部から読み出した信号配列に合わせるために並べ替える必要がある。図14に模式的に示すように、受光回路80から読み出された画像信号90のうち、第1受光部81からは右半分の画像信号90Bが矢印で示す走査方向で読み出され、第2受光部82からは左半分の画像信号90Aが矢印で示す走査方向で読み出されており、走査方向が互いに逆方向になることが分かる。

【0121】

本実施形態では、出力制御回路 58A 及び出力制御回路 58B から出力され主メモリ 18 に転送される 2 本の画像信号のうち、一方の転送先アドレスを他方の転送先アドレスに対して逆方向にインクリメントすることが特徴である。具体的には、DMA C17 は、出力制御回路 58A と主メモリ 18 との間のデータ転送に DMA チャンネル CH0 を割り当て、出力制御回路 58B と主メモリ 18 との間のデータ転送に DMA チャンネル CH1 を割り当てる。そして、DMA チャンネル CH0 は、DMA チャンネル CH1 が発生する転送先アドレスに対して逆方向へ転送先アドレスをインクリメントする。これにより、図 15 に模式的に示すように、左半分の画像信号 91A の信号配列を右半分の画像信号 91B の信号配列に合わせることができる。

【0122】

このように本実施形態では、SPU12 から主メモリ 18 に転送された画像データ TD の左右の画像信号のうち一方の信号配列を並べ替える工程を省略できるため、画像処理を高速化することが可能となる。

【0123】

【発明の効果】

以上の如く、本発明に係る画像処理装置によれば、同一のタイミングで同一の欠陥画素に対応する複数の色成分信号が並列に補正され、各欠陥画素補正回路毎にタイミングを生成する必要が無いことから、欠陥補正データの転送量が少なくて済み、バスの使用効率を向上させることが可能となる。

【0124】

また本発明に係る他の画像処理装置によれば、入力端子に備える入力ピンの個数を減少させ、回路構成を小規模化することが可能である。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る撮像装置（デジタルカメラ）の構成を概略的に示すブロック図である。

【図 2】

本発明の第 1 の実施形態に係る SPU（画像処理装置）の回路構成を概略的に

示す図である。

【図3】

本発明の第1の実施形態に係るS P Uの回路構成を概略的に示す図である。

【図4】

本発明の第2の実施形態に係るS P Uのサンプリング回路の回路構成を概略的に示す図である。

【図5】

第2の実施形態のサンプリング回路における各種信号波形を示すタイミングチャートである。

【図6】

本発明の第3の実施形態に係るS P Uのサンプリング回路の回路構成を概略的に示す図である。

【図7】

第3の実施形態のサンプリング回路における各種信号波形を示すタイミングチャートである。

【図8】

本発明の第4の実施形態に係るS P Uのサンプリング回路の回路構成を概略的に示す図である。

【図9】

第4の実施形態のサンプリング回路における各種信号波形を示すタイミングチャートである。

【図10】

本発明の第5の実施形態に係るS P Uのサンプリング回路の回路構成を概略的に示す図である。

【図11】

第5の実施形態のサンプリング回路における各種信号波形を示すタイミングチャートである。

【図12】

本発明の第6の実施形態に係る画像処理システムの構成を概略的に示すブロッ

ク図である。

【図13】

本発明の第7の実施形態に係る画像処理システムの構成を概略的に示すブロック図である。

【図14】

撮像センサの受光回路から読み出される信号の走査方向を模式的に示す図である。

【図15】

第7の実施形態における画像信号の配列を模式的に示す図である。

【符号の説明】

1 撮像装置

10 光学機構

11 撮像センサ

12 SPU

13 RPU

14 CPU

15 システムクロック生成部

16 バス

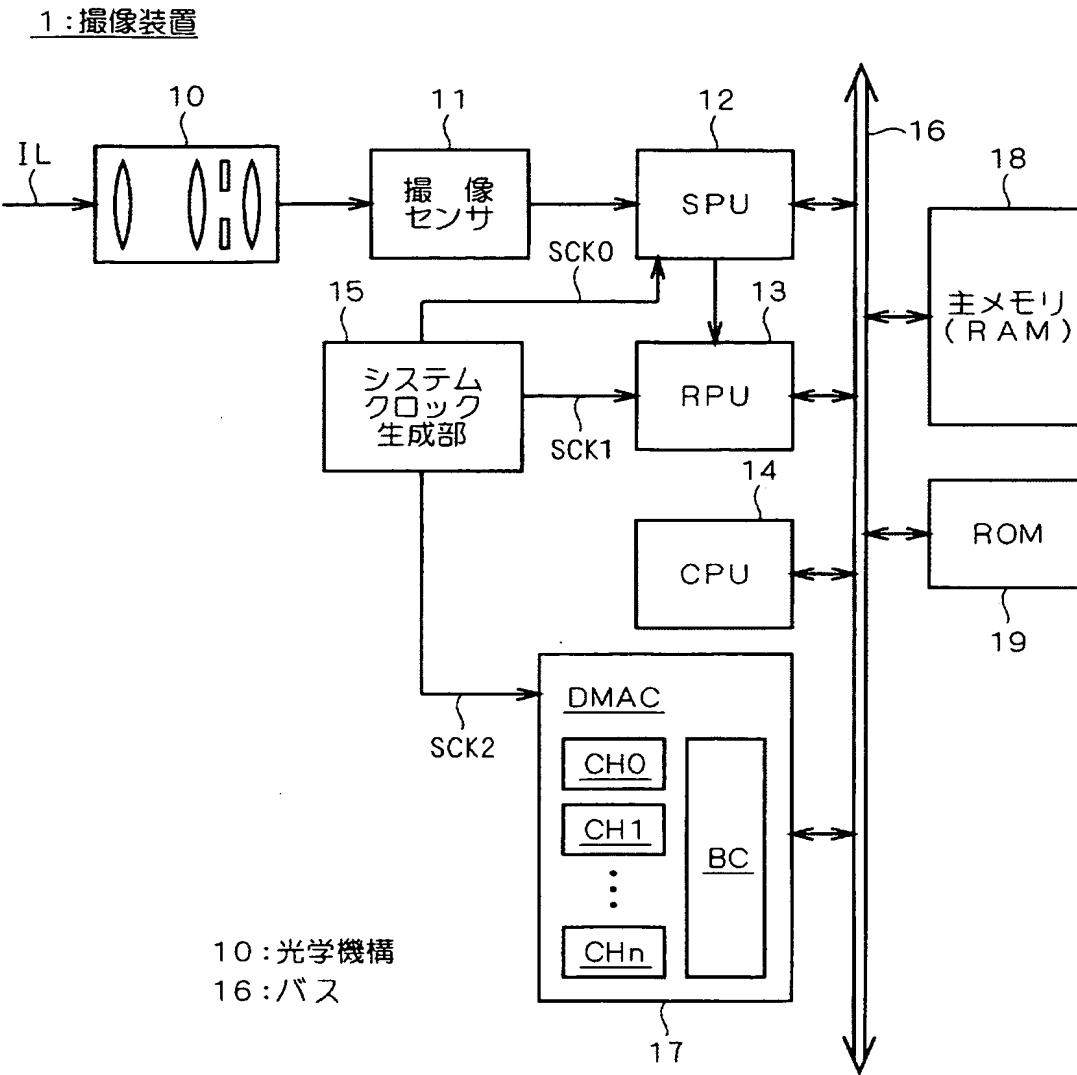
17 DMAC (DMAコントローラ)

18 主メモリ

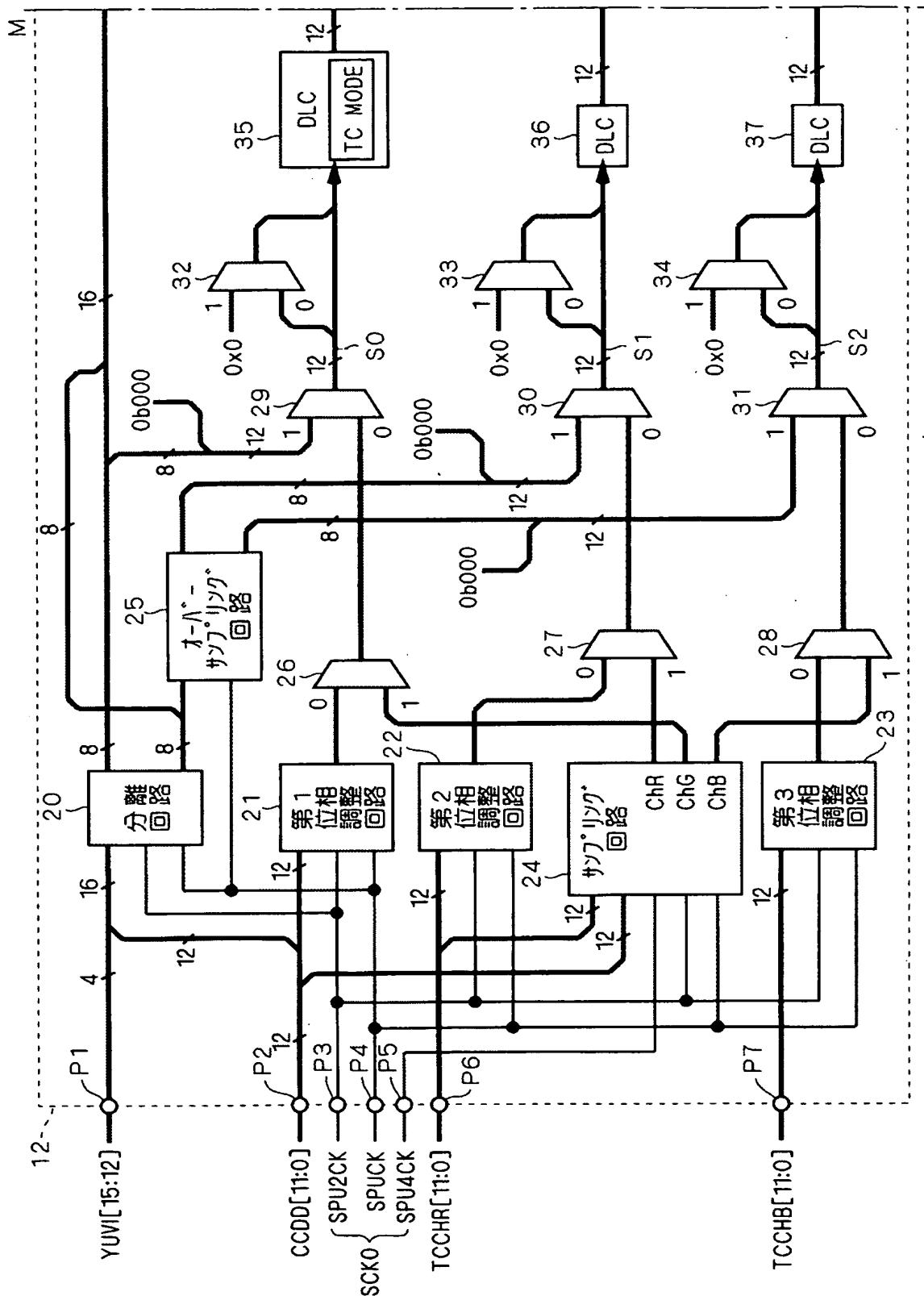
19 ROM

【書類名】 図面

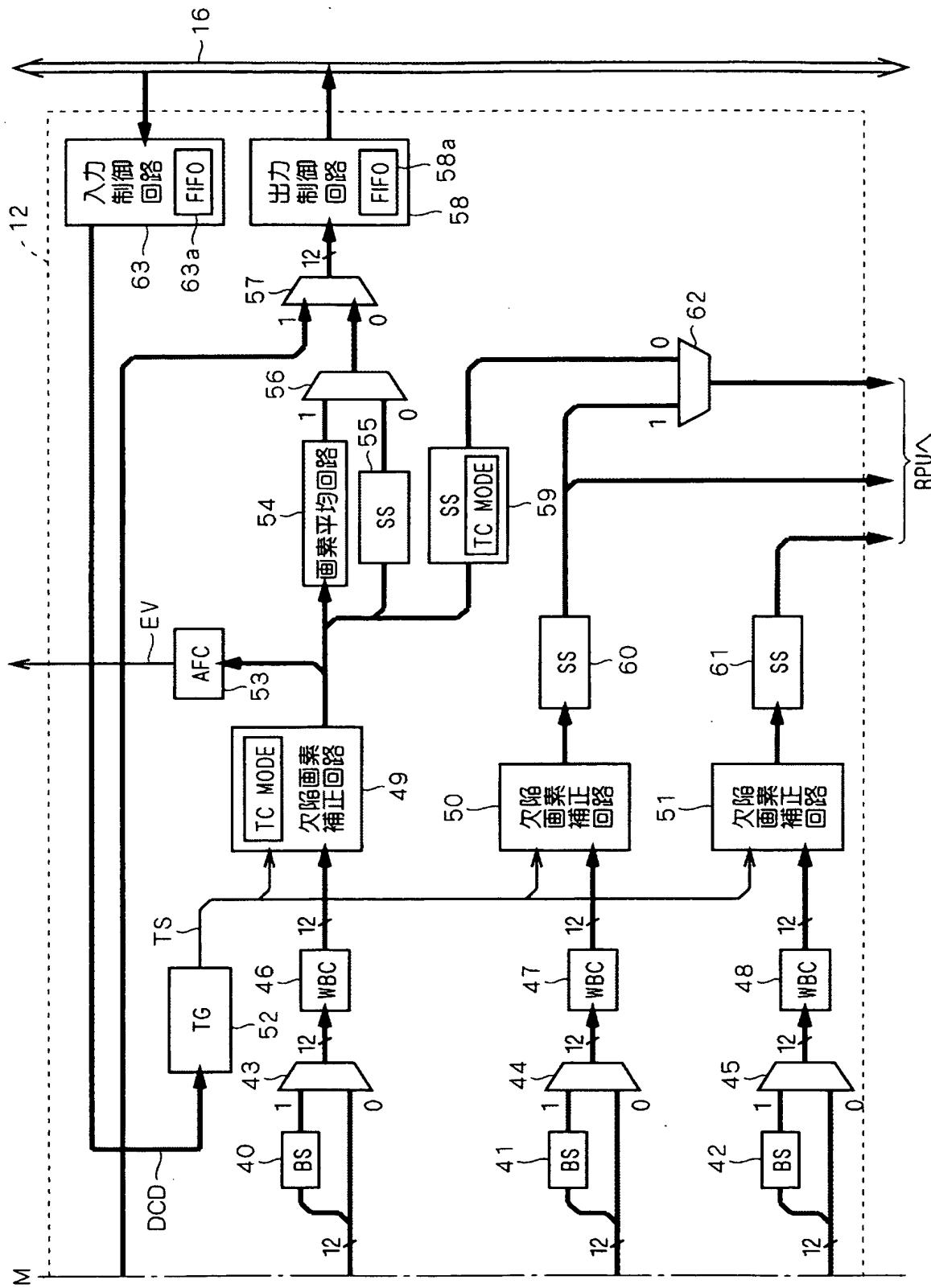
【図1】



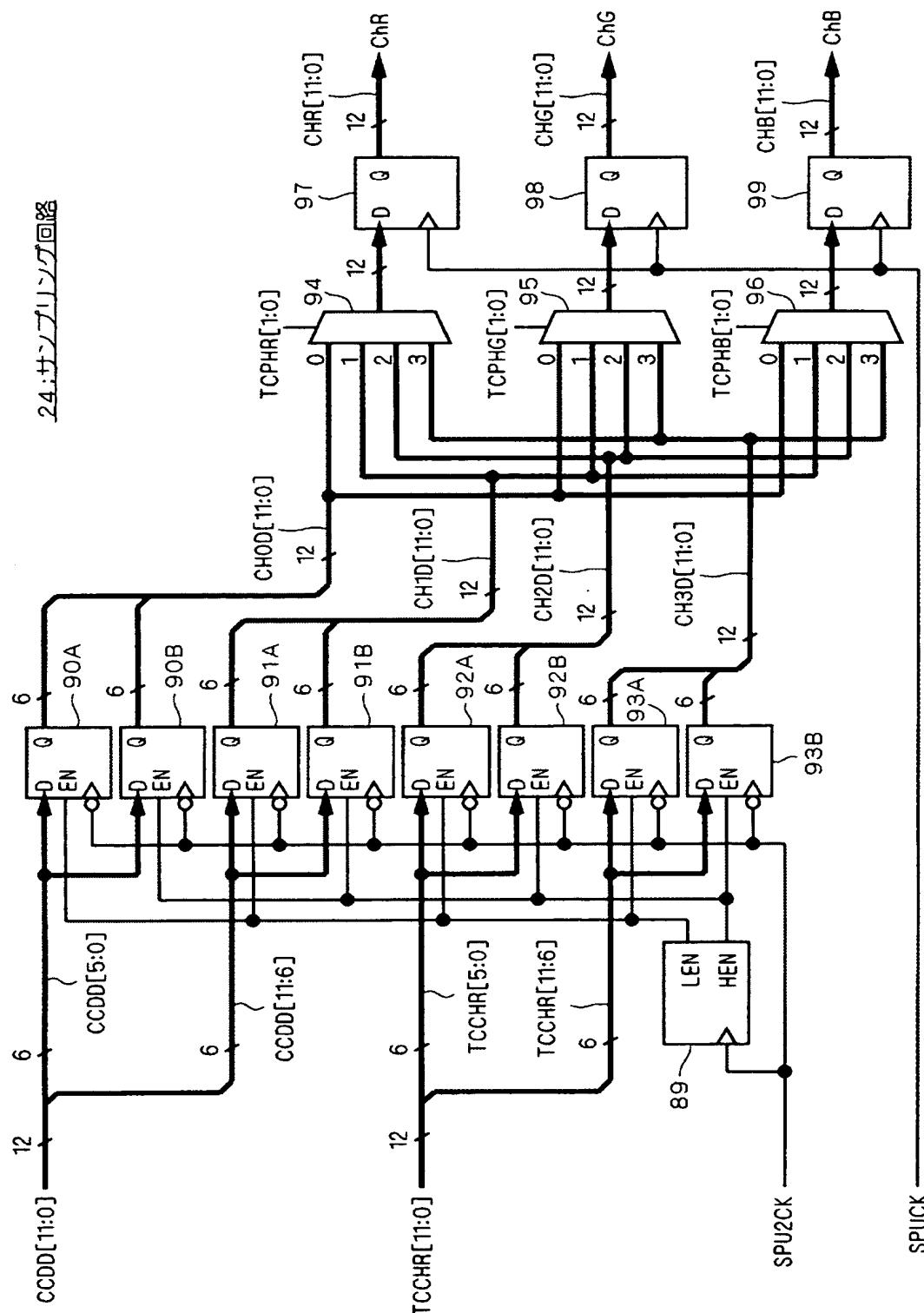
【図2】



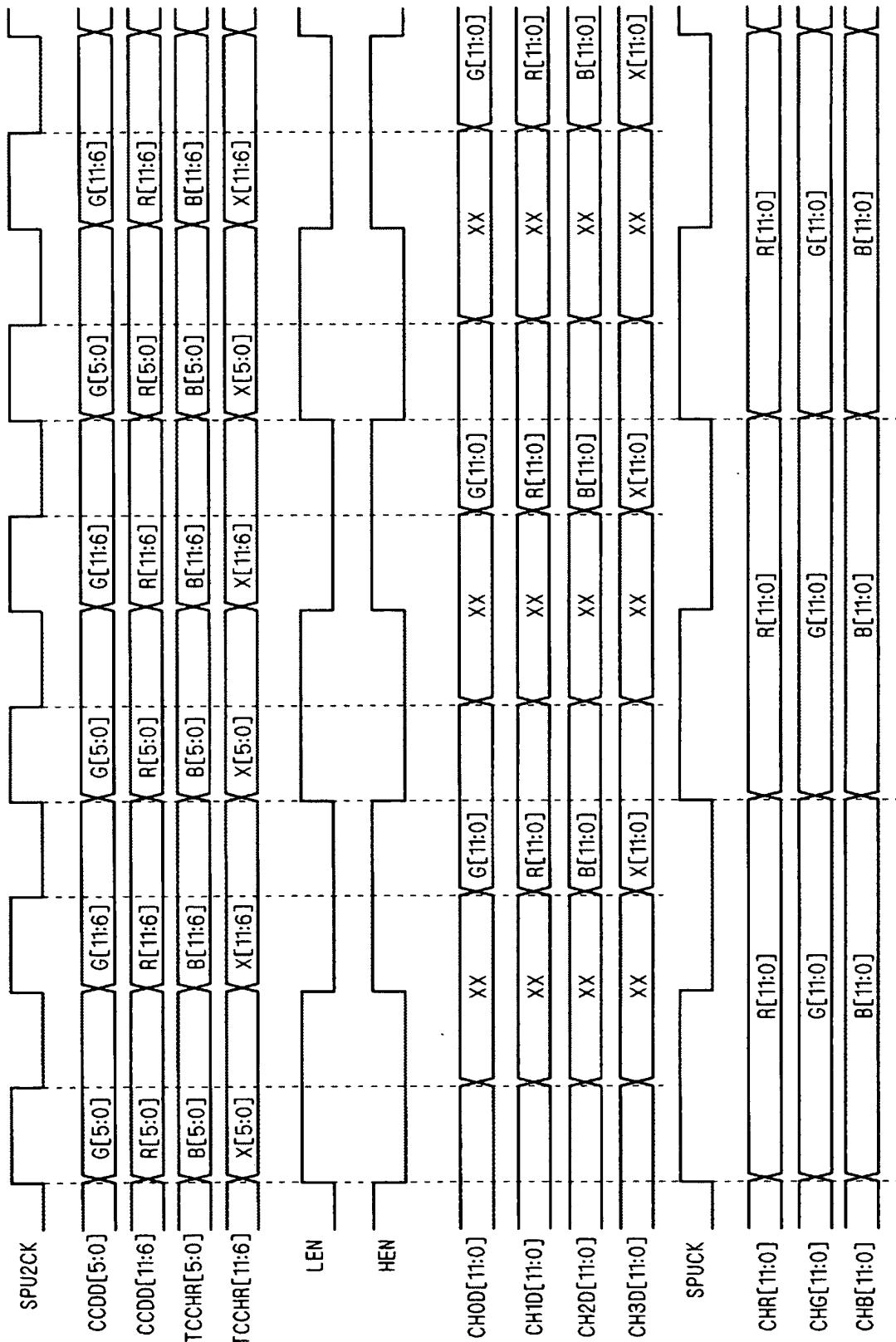
【図3】



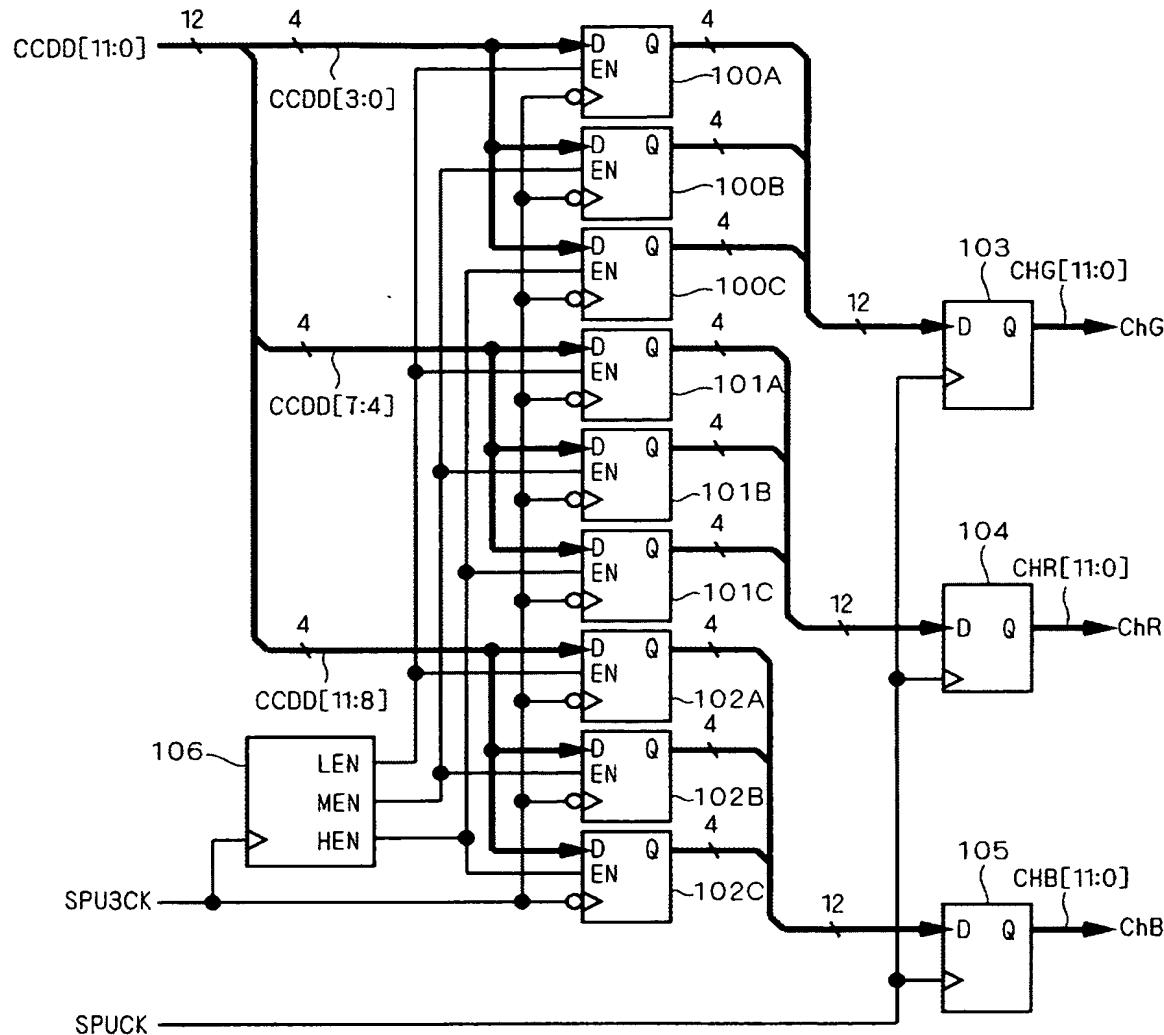
【図4】



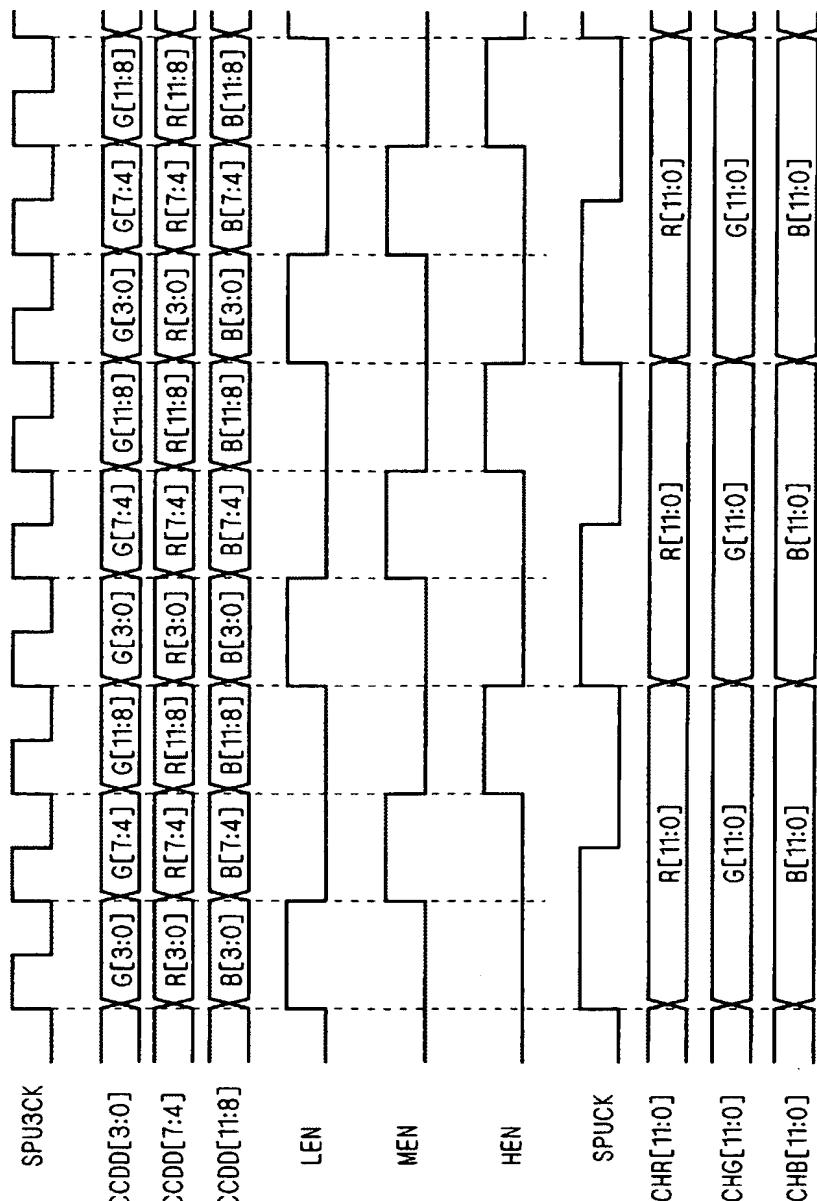
【図 5】



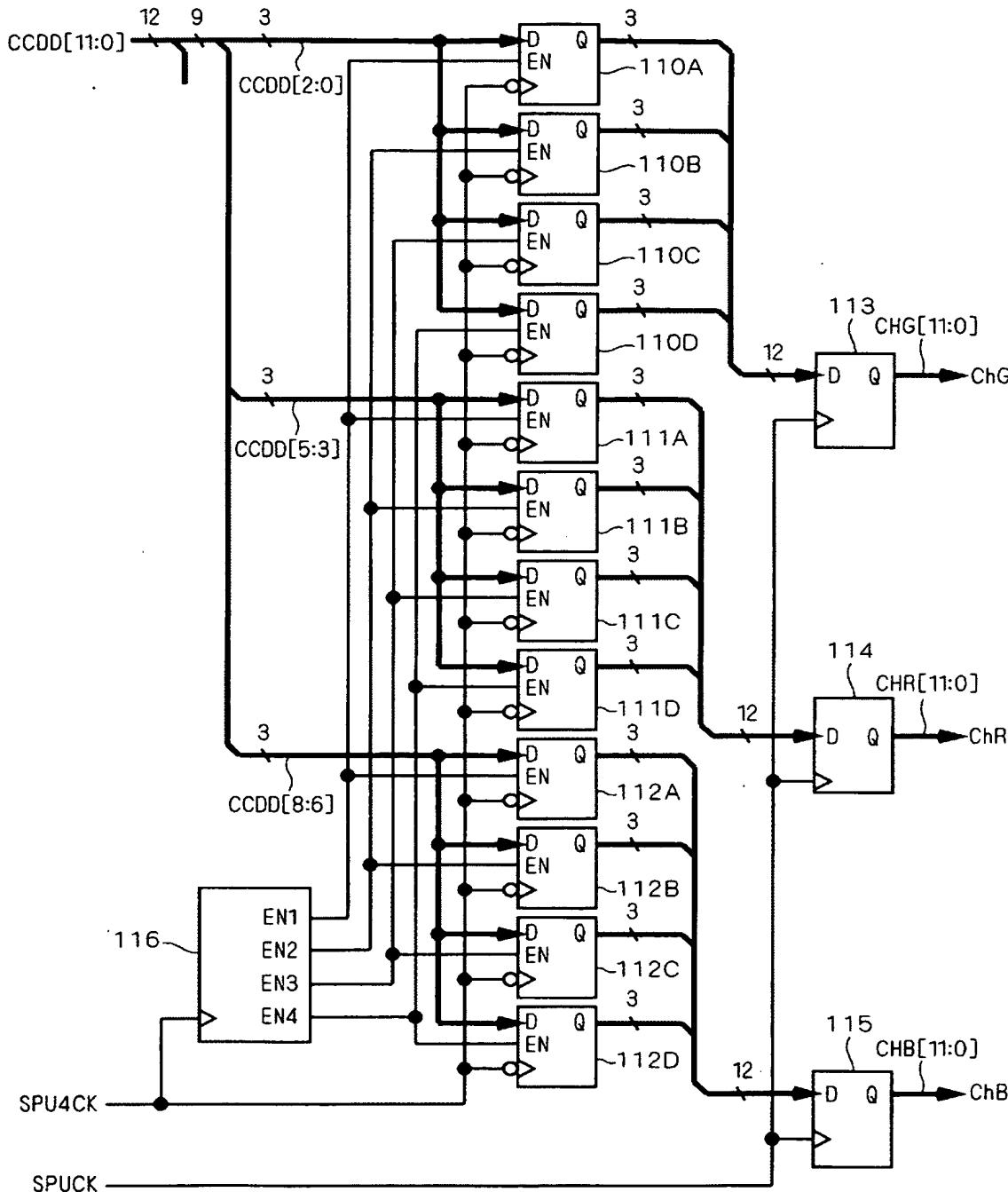
【図6】

24:サンプリング回路

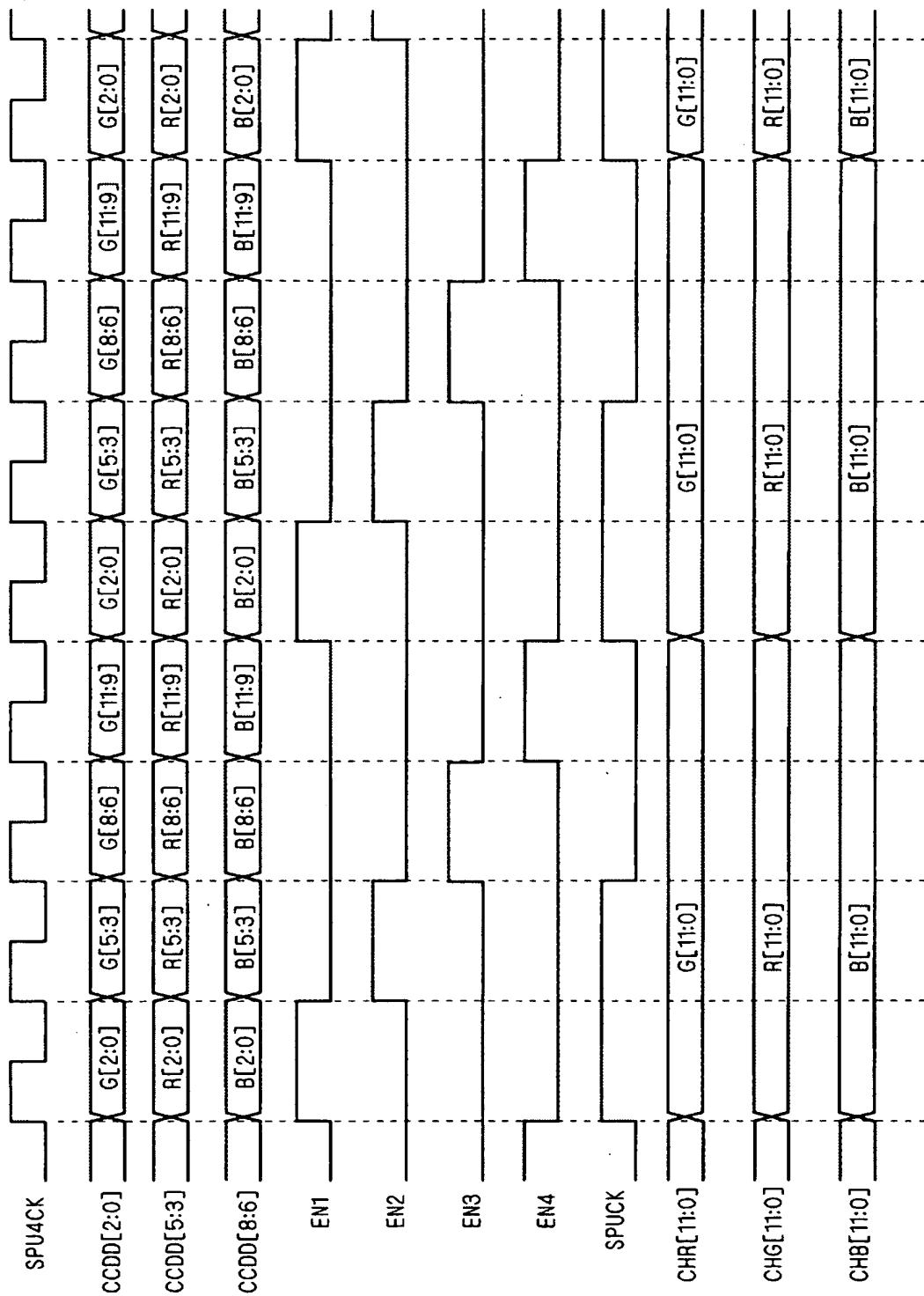
【図 7】



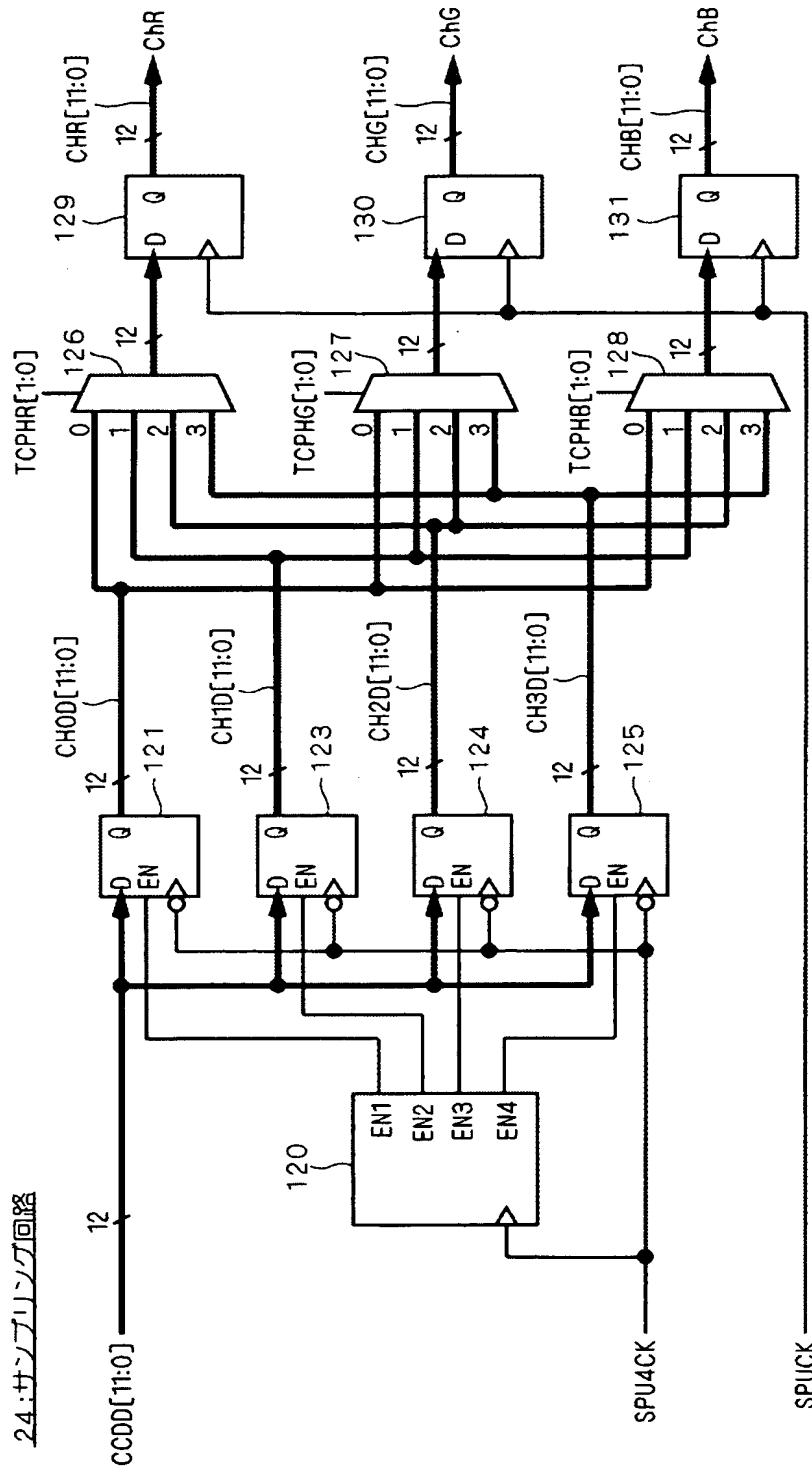
【図 8】

24:サンプリング回路

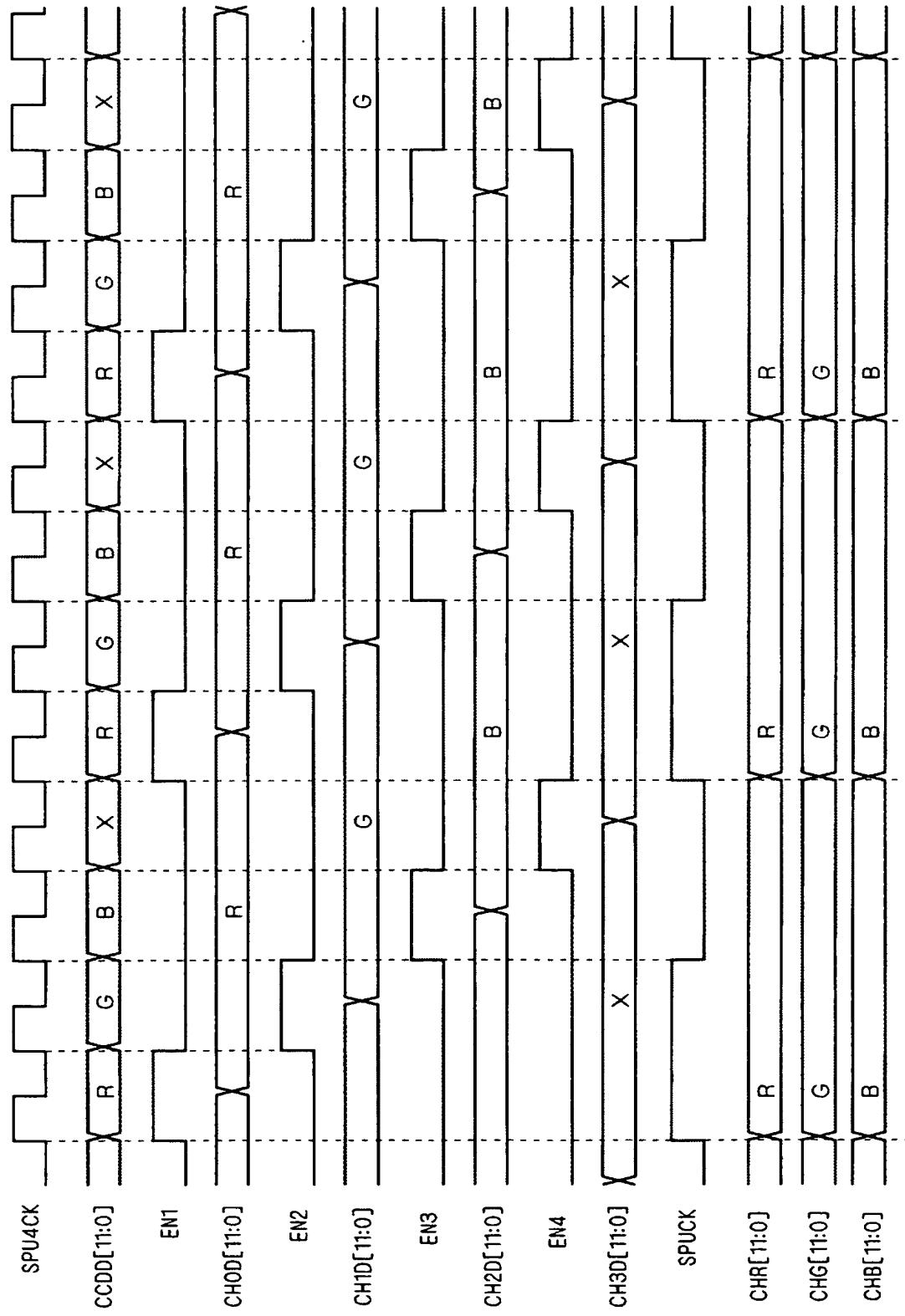
【図9】



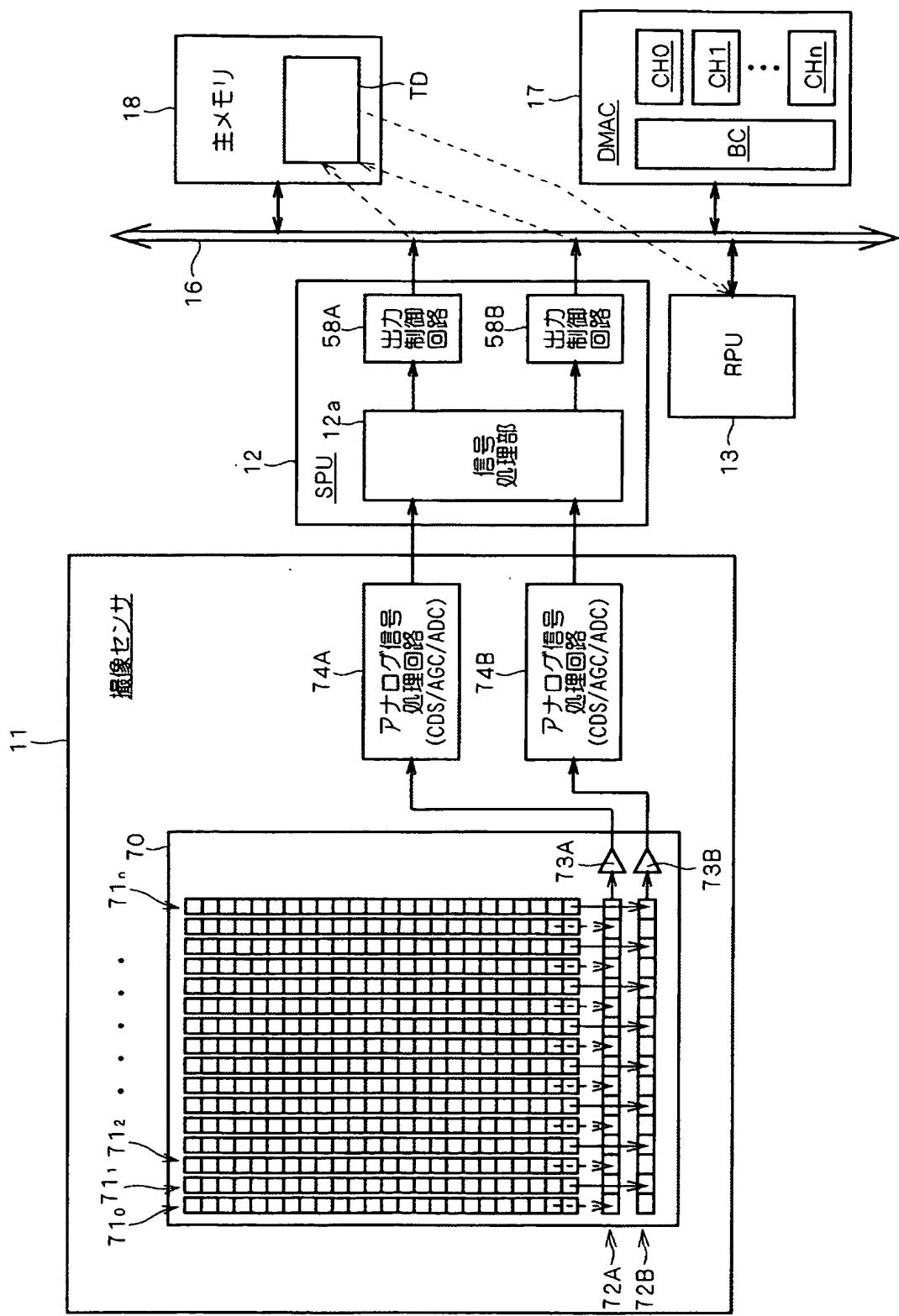
【図 10】



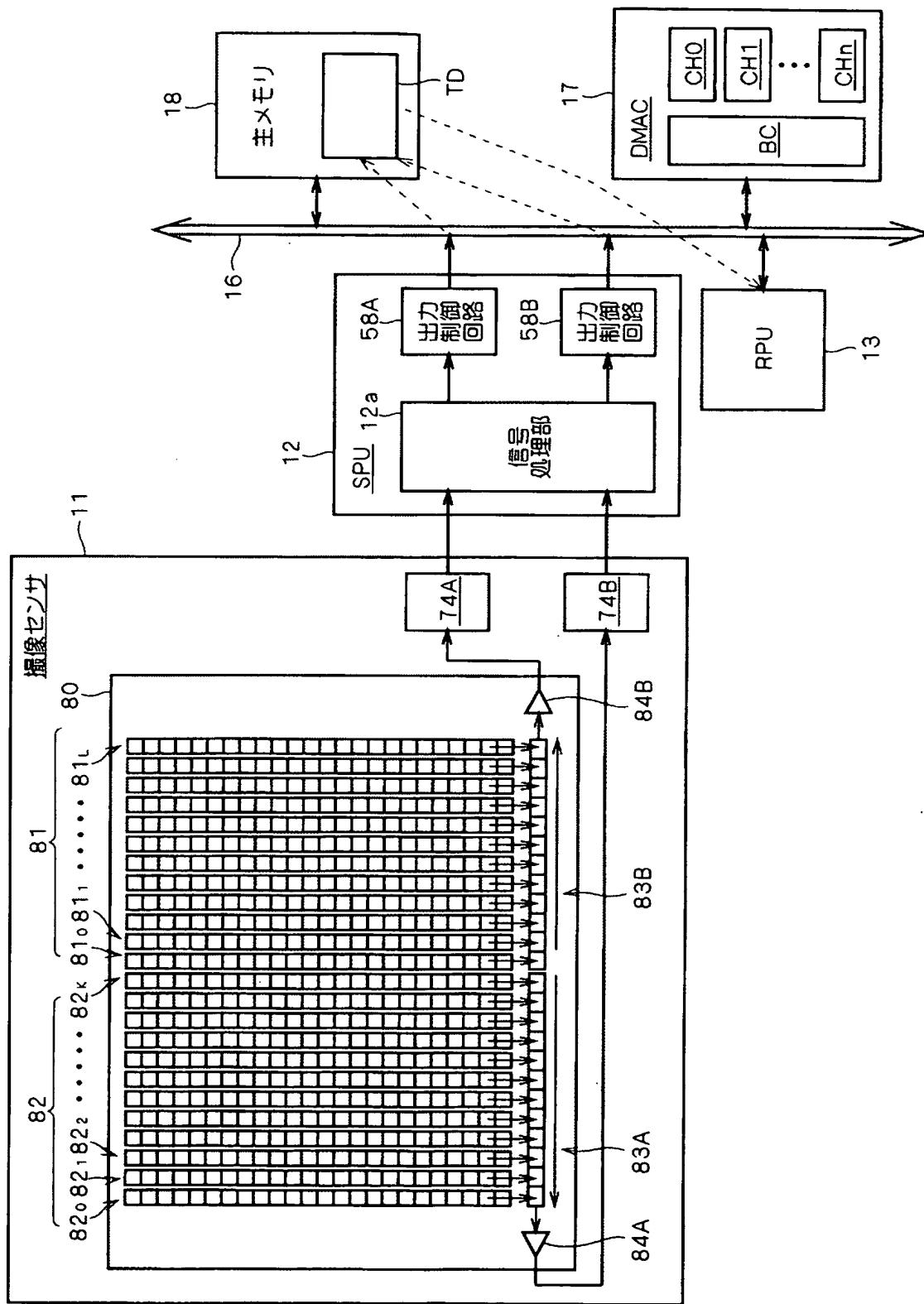
【図 11】



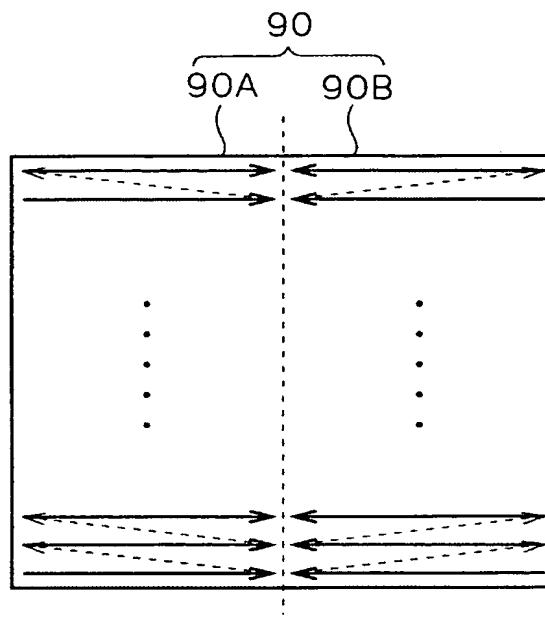
【図 12】



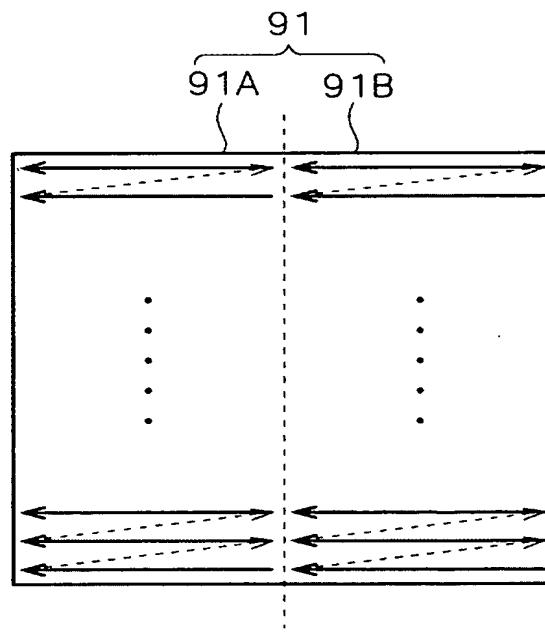
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 撮像センサから並列に出力される複数の色成分信号を並列に処理し得る低コスト、低消費電力及び小回路規模の装置を提供する。

【解決手段】 SPU（画像処理装置）12は、制御信号TSに従って撮像センサにおける欠陥画素に対応する色成分信号を補正する複数の欠陥画素補正回路49, 50, 51と、複数の色成分信号の入力に合わせてメモリから転送された欠陥補正データDCDを受信する入力制御回路63と、欠陥補正データDCDに基づいて制御信号TSを生成するタイミング生成回路52とを備える。欠陥画素補正回路49, 50, 51は、同一の制御信号TSで同一の欠陥画素に対応する色成分信号を並列に補正する。

【選択図】 図3

特願 2003-094115

出願人履歴情報

識別番号 [591128453]

1. 変更年月日 2000年 4月13日

[変更理由] 住所変更

住 所 大阪市淀川区宮原4丁目1番6号

氏 名 株式会社メガチップス